

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

**特表2014-515955**  
(P2014-515955A)

(43) 公表日 平成26年7月7日(2014.7.7)

(51) Int.Cl.	F I	テーマコード (参考)
<b>A 6 1 B 1/04 (2006.01)</b>	A 6 1 B 1/04 3 7 0	2 H 0 4 0
<b>G 0 2 B 23/24 (2006.01)</b>	G 0 2 B 23/24 B	4 C 1 6 1
<b>H 0 4 N 5/369 (2011.01)</b>	H 0 4 N 5/335 6 9 0	4 M 1 1 8
<b>H 0 1 L 27/146 (2006.01)</b>	H 0 1 L 27/14 A	5 C 0 2 4
<b>H 0 1 L 27/14 (2006.01)</b>	H 0 1 L 27/14 D	

審査請求 未請求 予備審査請求 未請求 (全 58 頁)

- (21) 出願番号 特願2014-510550 (P2014-510550)
- (86) (22) 出願日 平成24年5月14日 (2012.5.14)
- (85) 翻訳文提出日 平成26年1月9日 (2014.1.9)
- (86) 国際出願番号 PCT/US2012/037859
- (87) 国際公開番号 W02012/155152
- (87) 国際公開日 平成24年11月15日 (2012.11.15)
- (31) 優先権主張番号 61/485,440
- (32) 優先日 平成23年5月12日 (2011.5.12)
- (33) 優先権主張国 米国 (US)
- (31) 優先権主張番号 61/485,432
- (32) 優先日 平成23年5月12日 (2011.5.12)
- (33) 優先権主張国 米国 (US)
- (31) 優先権主張番号 61/485,426
- (32) 優先日 平成23年5月12日 (2011.5.12)
- (33) 優先権主張国 米国 (US)

- (71) 出願人 512034829  
オリーブ・メディカル・コーポレーション  
アメリカ合衆国ユタ州84120, ソルト  
・レイク・シティ, サウス・プレジデント  
・ドライブ 2302, スイート ディー
- (74) 代理人 100140109  
弁理士 小野 新次郎
- (74) 代理人 100075270  
弁理士 小林 泰
- (74) 代理人 100101373  
弁理士 竹内 茂雄
- (74) 代理人 100118902  
弁理士 山本 修
- (74) 代理人 100119781  
弁理士 中村 彰吾

最終頁に続く

(54) 【発明の名称】 内視鏡用の改良型画像センサ

(57) 【要約】

積層基板と関連した特徴の間に最小の垂直相互接続がある、関連する回路の配置に関して積層方式を用いて基板上の画素配列の領域を最適化するハイブリッド撮像センサの実施形態を有する内視鏡装置が開示される。最大化された画素配列サイズ/ダイサイズ(領域の最適化)の実施形態が開示され、デジタルイメージングの産業に共通する特定の応用についての改善された画質、改善された機能、および改善されたフォームファクタをもたらす最適化された撮像センサも開示される。上記の実施形態は、垂直相互接続を用いた列またはサブ列のハイブリッド画像センサ内のADCまたは列の回路のバンクを交互に配置するシステム、方法、およびプロセスを含むことができ、また、それらを開示する。

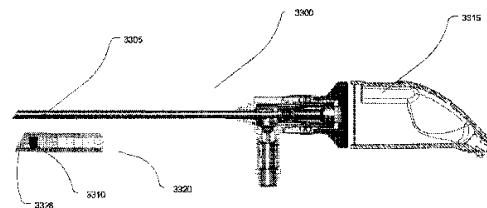


FIG. 31

**【特許請求の範囲】****【請求項 1】**

管腔 (lumen) と、  
前記管腔の遠位端 (distal tip) の近くに配設される撮像センサと  
を備える内視鏡装置であって、  
前記撮像センサが、

少なくとも第 1 の基板および第 2 の基板を備える複数の基板と、

前記第 1 の基板上に位置すると共に複数の画素列 (pixel columns) を備える画素配列  
であって、前記複数の画素列の各々が、幅 (in width) 1 画素および長さ (in length) 複数  
画素として定められる、画素配列 (pixel array) と、

前記第 2 の基板上に位置すると共に複数の回路列 (circuit columns) を備える複数の  
支援用回路であって、1 つの回路列が 1 つの画素列に対応し、前記複数の回路列の各々が  
、対応する画素列の領域と対応する領域 (area) を有するものとして定められる、支援用回  
路 (supporting circuits) と、

前記第 1 の基板上に存在する少なくとも 1 つの画素列当たり 1 つの画素列バス (pixel  
column bus)、および前記第 2 の基板上に存在する回路列当たり 1 つの回路列バス (circu  
it column bus) が存在する複数のバスと  
を備え、

前記画素列バスの各々の少なくとも一部が、対応する回路列バスの各々の少なくと  
も一部と重ね合わされ (superimposed)、少なくとも 1 つの相互接続 (interconnect) が 1 つの  
画素列バスと対応する 1 つの回路列バスの間の電気通信 (electrical communication) を与  
え、

前記少なくとも 1 つの相互接続が、1 つの画素列バスと対応する 1 つの回路列バスの間  
のどこか (anywhere) に設置され、互いに対して (with respect to each other) 重ね合わさ  
れる、内視鏡 (endoscopic) 装置。

**【請求項 2】**

前記基板同士の間配設される複数の相互接続をさらに備え、前記複数の相互接続が前  
記画素配列の画素ピッチより大きい距離で互いに対して間隔をおいて (spaced) 配置される  
、請求項 1 に記載の内視鏡。

**【請求項 3】**

前記第 1 の基板および前記第 2 の基板が、揃った状態 (in alignment) である、請求項 1  
に記載の内視鏡。

**【請求項 4】**

前記第 1 の基板上の前記画素列のうちの 1 つの領域 (area) が、前記第 2 の基板上の前記  
対応する回路列のうちの 1 つの領域とほぼ等しい、請求項 1 に記載の内視鏡。

**【請求項 5】**

前記第 2 の基板が、前記第 1 の基板とほぼ同じサイズである、請求項 1 に記載の内視鏡  
。

**【請求項 6】**

前記第 1 の基板上の前記画素列のうちの 1 つの領域が、前記第 2 の基板上の前記対応す  
る回路列のうちの 1 つの領域より大きい、請求項 1 に記載の内視鏡。

**【請求項 7】**

前記第 1 の基板上の前記画素列のうちの 1 つの領域が、前記第 2 の基板上の前記対応す  
る回路列のうちの 1 つの領域より小さい、請求項 1 に記載の内視鏡。

**【請求項 8】**

前記画素列のうちの 1 つのアスペクト比が、前記回路列のうちの 1 つのアスペクト比と  
ほぼ同様である、請求項 1 に記載の内視鏡。

**【請求項 9】**

複数の相互接続が、画素列バスを対応する回路列バスに接続する、請求項 1 に記載の内  
視鏡。

10

20

30

40

50

## 【請求項 10】

前記画素列のうちの1つのアスペクト比が、前記回路列のうちの1つのアスペクト比とは異なる、請求項1に記載の内視鏡。

## 【請求項 11】

前記回路列のうちの1つのアスペクト比が、前記画素列のうちの1つのアスペクト比の4倍の幅および4分の1の長さである、請求項1に記載の内視鏡。

## 【請求項 12】

前記回路列のうちの1つのアスペクト比が、前記画素列のうちの1つのアスペクト比の2倍の幅および半分の長さである、請求項8に記載の内視鏡。

## 【請求項 13】

管腔と、  
前記内視鏡内に配設される撮像センサと  
を備える内視鏡であって、  
前記撮像センサが、  
第1の基板および少なくとも1つの第2の次の支持用基板を含む複数の基板と、  
画素配列と、  
複数の相互接続と、  
複数の支援回路と  
を備え、  
前記複数の基板のうちの前記第1の基板が、前記画素配列を備え、  
前記複数の支援用回路が、前記第1の基板に対して遠隔に配置される前記少なくとも1つの第2の次の(subsequent)支持用基板上に配設され、  
前記複数の支援用回路が、前記第1の基板と前記少なくとも1つの第2の次の支持用基板との間に配設された前記複数の相互接続を介して、前記画素配列に電気的に接続されると共に前記画素配列と電気通信し、  
前記第2の次の支持用基板が、撮像される対象に対して前記画素配列の背後に配設され、  
前記複数の相互接続が、前記画素配列の画素ピッチより大きい距離で互いに対して間隔をおいて配置される、内視鏡。

10

20

30

## 【請求項 14】

前記第1の基板上に位置する前記画素配列が、複数の画素列を備え、前記複数の画素列の各々が、幅1画素および長さ複数画素として定められる、請求項13に記載の内視鏡。

## 【請求項 15】

前記第2の基板上に位置する複数の支援用回路をさらに備えると共に、複数の回路列を備え、1つの回路列が1つの画素列に対応し、前記複数の回路列の各々が、対応する画素列の領域と対応する領域を有するものとして定められる、請求項14に記載の内視鏡。

## 【請求項 16】

複数のバスをさらに備え、前記第1の基板上に存在する少なくとも1つの画素列当たり1つの画素列バス、および前記第2の基板上に存在する回路列当たり1つの画素列バスが存在する、請求項14に記載の内視鏡。

40

## 【請求項 17】

前記画素列バスの各々の少なくとも一部が、前記対応する回路列バスの各々の少なくとも一部と重ね合わされ、少なくとも1つの相互接続が、1つの画素列バスと対応する1つの回路列バスの間の電気通信を与え、

前記少なくとも1つの相互接続が、1つの画素列バスと対応する1つの回路列バスの間のどこかに設置され、互いに対して重ね合わされる、  
請求項16に記載の内視鏡。

## 【請求項 18】

前記撮像センサが裏面照射される、請求項13に記載の内視鏡。

## 【請求項 19】

50

前記画素配列が、前記第 1 の基板の表面の実質的大部分を覆う、請求項 1 3 に記載の撮像センサ。

【請求項 2 0】

前記画素配列が、前記第 1 の基板の表面の 2 5 パーセントより多くを覆う、請求項 1 3 に記載の撮像センサ。

【請求項 2 1】

前記第 1 の基板が、主にシリコン材料で作製される、請求項 1 3 に記載の撮像センサ。

【請求項 2 2】

前記第 1 の基板が、主に「高 Z」半導体材料（テルル化カドミウム）で作製される、請求項 1 3 に記載の撮像センサ。

10

【請求項 2 3】

前記第 1 の基板が、主に III - V 半導体材料（ガリウムヒ素）で作製される、請求項 1 3 に記載の撮像センサ。

【請求項 2 4】

前記画素配列が、複数の画素列から構成され、各画素列が複数の画素を含み、

前記画素配列内の前記複数の画素列の各々が、共通の源から読み出される第 1 の列から順にバスに読み出され、第 2 の列が、前記第 2 の列に対して以前に読み出された画素列とは異なると共に、前記第 2 の列に対して続いて読み出される画素列とは異なる第 1 の行から読み出される、

請求項 2 3 に記載の撮像センサ。

20

【請求項 2 5】

前記第 1 の行が、前記以前に読み出された画素列および前記続いて読みだされる画素列の行の位置から少なくとも 2 つの行の位置だけ離れて間隔をおいて配置される、請求項 2 4 に記載の撮像センサ。

【請求項 2 6】

管腔と、

前記管腔の前記遠位端の近くに配設される撮像センサと

を備える内視鏡装置であって、

前記撮像センサが、

少なくとも第 1 の基板および第 2 の基板を備える複数の基板と、

30

前記第 1 の基板上に位置すると共に複数の画素列を備える画素配列であって、前記複数の画素列の各々が、前記配列の寸法(dimension)を覆うのに十分な幅 1 画素および長さ複数の画素として定められ、

前記画素列が、画素サブ列(sub-columns)に分割され、各画素サブ列が、他の画素サブ列から電氣的に絶縁されるようになっている、画素配列と、

前記第 2 の基板上に位置する複数の支援用回路であって、複数の回路列を含んでおり、1 つの回路列が 1 つの画素サブ列に対応し、前記複数の回路列の各々が、対応する画素サブ列の領域と対応する領域を有するものとして定められる、支援用回路と、

前記第 1 の基板上に存在する少なくとも 1 つの画素サブ列当たりの 1 つの画素サブ列バス、および前記第 2 の基板上に存在する回路列当たり 1 つの画素列バスが存在する複数のバスと

40

を備え、

前記画素サブ列バスの各々の少なくとも一部が、対応する回路列バスの各々の少なくとも一部と重ね合わされ、少なくとも 1 つの相互接続が 1 つの画素サブ列バスと対応する 1 つの回路列バスの間の電気通信を与え、

前記少なくとも 1 つの相互接続が、1 つの画素サブ列バスと対応する 1 つの回路列バスの間のどこかに設置され、互いに対して重ね合わされる、内視鏡装置。

【請求項 2 7】

前記基板同士の間配設される複数の相互接続をさらに備え、前記複数の相互接続が、

50

前記画素配列の画素ピッチより大きい距離で互いに対して間隔をおいて配置される、請求項 26 に記載の内視鏡。

【請求項 28】

前記第 1 の基板および前記第 2 の基板が、揃った状態である、請求項 26 に記載の内視鏡。

【請求項 29】

前記第 1 の基板上の前記画素サブ列のうちの 1 つの領域が、前記第 2 の基板上の前記対応する回路列のうちの 1 つの領域とほぼ等しい、請求項 26 に記載の内視鏡。

【請求項 30】

前記第 2 の基板が、前記第 1 の基板とほぼ同じサイズである、請求項 26 に記載の内視鏡。

10

【請求項 31】

前記第 1 の基板上の前記画素サブ列のうちの 1 つの領域が、前記第 2 の基板上の前記対応する回路列のうちの 1 つの領域より大きい、請求項 26 に記載の内視鏡。

【請求項 32】

前記第 1 の基板上の前記画素サブ列のうちの 1 つの領域が、前記第 2 の基板上の前記対応する回路列のうちの 1 つの領域より小さい、請求項 26 に記載の内視鏡。

【請求項 33】

前記画素サブ列のうちの 1 つのアスペクト比が、前記回路列のうちの 1 つのアスペクト比とほぼ同様である、請求項 26 に記載の内視鏡。

20

【請求項 34】

複数の相互接続が、画素サブ列バスを対応する回路列バスに接続する、請求項 26 に記載の内視鏡。

【請求項 35】

前記画素サブ列のうちの 1 つのアスペクト比が、前記回路列のうちの 1 つのアスペクト比とは異なる、請求項 26 に記載の内視鏡。

【請求項 36】

前記回路列のうちの 1 つのアスペクト比が、前記画素サブ列のうちの 1 つのアスペクト比の 4 倍の幅および 4 分の 1 の長さである、請求項 26 に記載の内視鏡。

【請求項 37】

前記回路列のうちの 1 つのアスペクト比が、前記画素サブ列のうちの 1 つのアスペクト比の 2 倍の幅および半分の長さである、請求項 26 に記載の内視鏡。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、電磁センシングおよび電磁センサに関し、低エネルギー電磁入力状態、および低エネルギー電磁スループット条件にも関する。本開示は、より詳細には、必ずしも全部ではないが、内視鏡装置と共に使用するための画像センサの最適化に関する。

【背景技術】

【0002】

普及により、市場では、ますます小型の高解像度の撮像センサの需要が目覚ましく増大している。高分解能および高解像度は、より多くのデータが比較的小さい空間内で移動されなければならないことを意味する。本開示の装置、システムおよび方法は、サイズおよびフォームファクタが考慮事項である任意のイメージング応用において利用することができる。電荷結合素子 (CCD)、もしくは相補型金属酸化物半導体 (CMOS)、または現在知られているまたは将来知られることになり得る他の任意の画像センサなどのいくつかの異なるタイプの撮像センサが、本開示によって利用できる。

40

【0003】

典型的には、CMOS 画像センサは、画素配列全体、ならびに関連する回路、例えばアナログ・デジタル変換器および / または増幅器などを単一のチップに取り付ける。CMO

50

S 画像センサのサイズの制限はしばしば、ますます増えるより多くのデータをいっそうより小さい範囲内で移動することを必要とする。回路間のコンタクトパッドは、CMOS 画像センサの設計および製造において考慮されなければならないいくつかの考慮事項により、センサと信号処理などの他の重要な機能との間でますます小さく製造され得る。したがって、例えば、画素配列の面積が増大すると、関連する回路が占め得る面積が減少するために、A/D変換または他の信号処理機能などの他の面積においてトレードオフを伴い得る。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本願発明の一実施例は、例えば、内視鏡用の改良型画像センサに関する。

【課題を解決するための手段】

【0005】

本開示の特徴および利点は、後述の説明に記載されることになり、一部はこの説明から明らかであり、または過度の実験をすることなく本開示の実施によって知ることができる。本開示の特徴および利点は、添付の特許請求の範囲に特に挙げられた手段および組み合わせによって理解することおよび得ることができる。

【0006】

本開示の特徴および利点は、添付図面に関連して提示される続く詳細な説明の検討から明らかになる。

【図面の簡単な説明】

【0007】

【図1a】単一の基板上に構成される撮像センサの一実施形態の概略図である。

【図1b】本開示の教示および原理による、画素配列に対する処理回路の遠隔配置を示す撮像センサの一実施形態の概略図である。

【図2】本開示の教示および原理による、複数の基板上に構築された撮像センサの一実施形態の概略図である。

【図3a】モノリシック回路上に作製された撮像センサの一実施形態の斜視図であって、支援用回路が幅1画素である、画素および支援用回路を含む複数の列を示す図である。

【図3b】モノリシック回路上に作製された撮像センサの一実施形態の上面図であって、支援用回路が幅1画素である、画素および支援用回路を含む複数の列を示す図である。

【図3c】図3aからとった画素および支援用回路を含む単一の列の斜視図である。

【図3d】図3bからとった画素および支援用回路を含む単一の列の上面図である。

【図3e】モノリシック回路上に作製された撮像センサの一実施形態の斜視図であって、支援用回路が幅2画素である、画素および支援用回路を含む複数の列を示す図である。

【図3f】モノリシック回路上に作製された撮像センサの一実施形態の上面図であって、支援用回路が幅2画素である、画素および支援用回路を含む複数の列を示す図である。

【図3g】本開示の教示および原理による、画素配列が第1の基板上にあると共に、支援用回路が第2のまたは次の基板上に位置し、複数の基板を接続する相互接続およびビアが示されている、複数の基板上に構築された撮像センサの一実施形態の斜視図である。

【図3h】図3gの複数の基板上に構築された撮像センサの実施形態の正面図である。

【図3i】画素配列を形成する複数の画素列が第1の基板上に位置すると共に、複数の回路列が第2の基板上に位置する、複数の基板上に構築された撮像センサの一実施形態の斜視図であって、一列の画素とその関連したまたは対応する回路の列との間の電氣的接続および通信を示す図である。

【図3j】間に電氣的接続を示す図3iからとった画素の単一の列および回路の単一の列の斜視図である。

【図3k】間に電氣的接続を示す図3iおよび図3jからとった画素の単一の列および回路の単一の列の正面図である。

【図3l】間に電氣的接続を示す図3iおよび図3jからとった画素の単一の列および回

10

20

30

40

50

路の単一の列の側面図である。

【図 3 m】画素配列を形成する複数の画素列が第 1 の基板上に位置すると共に、複数の回路列が第 2 の基板上に位置する、複数の基板上に構築された撮像センサの一実施形態の斜視図であって、複数の電氣的接続、および複数の画素列と回路の関連したまたは対応する列との間の通信を示す図である。

【図 3 n】画素配列を形成する複数の画素列が第 1 の基板上に位置すると共に、複数の回路列が第 2 の基板上に位置し、回路列が幅 2 画素および画素列の長さの半分である、複数の基板上に構築された撮像センサの一実施形態の斜視図であって、複数の電氣的接続、および複数の画素列と回路の関連したまたは対応する列との間の通信を示す図である。

【図 3 o】間に電氣的接続を示す図 3 n の最右列からとった画素の単一の列および回路の単一の列の斜視図である。

【図 3 p】間に電氣的接続を示す図 3 n および図 3 o からとった画素の単一の列および回路の単一の列の正面図である。

【図 3 q】間に電氣的接続を示す図 3 n および図 3 o からとった画素の単一の列および回路の単一の列の側面図である。

【図 3 r】間に電氣的接続を示す図 3 n の最左列からとった画素の単一の列および回路の単一の列の斜視図である。

【図 3 s】間に電氣的接続を示す図 3 n および図 3 r からとった画素の単一の列および回路の単一の列の正面図である。

【図 3 t】間に電氣的接続を示す図 3 n および図 3 r からとった画素の単一の列および回路の単一の列の側面図である。

【図 3 u】画素配列を形成する複数の画素列が第 1 の基板上に位置すると共に、複数の回路列が第 2 の基板上に位置し、回路列が幅 4 画素である、複数の基板上に構築された撮像センサの一実施形態の斜視図であって、複数の電氣的接続、および複数の画素列と回路の関連したまたは対応する列との間の通信を示す図である。

【図 3 v】間に電氣的接続を示す図 3 u の最右列からとった画素の単一の列および回路の単一の列の斜視図である。

【図 3 w】間に電氣的接続を示す図 3 u および図 3 v からとった画素の単一の列および回路の単一の列の正面図である。

【図 3 x】間に電氣的接続を示す図 3 u および図 3 v からとった画素の単一の列および回路の単一の列の側面図である。

【図 3 y】間に電氣的接続を示す図 3 u の最右列の、左側へ隣接した列からとった画素の単一の列および回路の単一の列の斜視図である。

【図 3 z】間に電氣的接続を示す図 3 u および図 3 y からとった画素の単一の列および回路の単一の列の正面図である。

【図 3 a a】間に電氣的接続を示す図 3 u および図 3 y からとった画素の単一の列および回路の単一の列の側面図である。

【図 4】本開示の教示および原理による、複数の基板上に構築された撮像センサの一実施形態を示すと共に、支援回路の特定の配置の一実施形態も示す図である。

【図 5】本開示の教示および原理による、回路の一部が比較的遠隔に配置される、複数の基板上に構築された撮像センサの一実施形態を示すと共に、支援回路の特定の配置の一実施形態も示す図である。

【図 6】本開示の教示および原理による、様々な画素配列による様々な割合の適用範囲を有する第 1 の基板の一実施形態を示す図である。

【図 7】本開示の教示および原理による、複数の画素配列を有する一実施形態を示す図である。

【図 8】本開示の教示および原理による、最適化された画素配列および関連する回路または支援用回路が積み重ねられている画像センサの一実施形態を示す図であって、光源を示す図である。

【図 9】本開示の教示および原理による、最適化された画素配列および関連する回路また

10

20

30

40

50

は支援用回路が積み重ねられている画像センサの裏面照射される実施形態を示す図である。

【図10】本開示の教示および原理による、画素配列が全ての前記支援用回路からより遠隔に設置される、画像センサの一実施形態を示す図である。

【図11】本開示の教示および原理による異なるサイズの積層基板を有する画像センサの一実施形態を示す図である。

【図12】各画素列が別の画素列と共にリードバスを共有しない、画素構造の一実施形態を示す図である。

【図13】リードバスに対して画素列の水平2ウェイ共有があり、2つの画素列当たり1つのリードバスが存在するようになっている、画素構造の一実施形態を示す図である。

【図14】本開示の教示および原理による正面照射される画素配列を有する複数の基板上に構築された撮像センサの一実施形態を示す図である。

【図15】複数の画素を含むリード領域に分割された画素配列を有する撮像センサの一実施形態を示す図である。

【図16】複数の基板と、複数の画素を含むリード領域に分割された画素配列からのデータにアクセスするための複数のバスの接続とを有する撮像センサの一実施形態を示す図である。

【図17a】本開示の教示および原理による、相互接続が画素配列内の画素に対して間隔をおいて配置される、画素配列の一実施形態を示す図である。

【図17b】本開示の教示および原理による、相互接続が画素配列内の列に対して間隔をおいて配置される画素配列の一実施形態を示す図である。

【図17c】本開示の教示および原理による、相互接続が画素配列内の領域に対して間隔をおいて配置される画素配列の一実施形態を示す図である。

【図18a】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図18b】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図18c】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図18d】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図18e】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図18f】本開示の教示および原理による、画素配列内の一定の画素領域に対して相互接続が間隔をおいて配置され得る、画素配列の実施形態を示す図である。

【図19】本開示の原理および教示による、相互接続/バンプを間隔をおいて配置する方法を示す図である。

【図20】各画素領域が、専用支援回路が専用される画素領域内の画素によって生成されるデータの処理だけに専用される少なくとも1つの支援回路を有することができるように、画素領域の専用支援回路が使用できる、一実施形態を示す図である。

【図21】本開示の原理および教示の拡張性を示す概略的に大きい画像センサの一実施形態を示す図である。

【図22】本開示の原理および教示の拡張性を示す概略的に大きい画像センサの一実施形態を示す図である。

【図23】画素配列を形成する複数の画素列およびサブ列が、第1の基板上に位置し、複数の回路列が第2の基板上に位置する複数の基板上に構築された撮像センサの一実施形態の上面図であって、一列の画素とその関連したまたは対応する回路の列との間の電気的接続および通信を示す図である。

【図24】本開示の教示および原理による、第1の基板上に位置する画素配列および第2の基板上に位置する複数の回路列を共に形成する複数の列およびサブ列の一実施形態の斜

10

20

30

40

50

視図であって、画素からなる１つのサブ列とその関連したまたは対応する回路の列の間の電氣的接続および通信を示す図である。

【図２４ａ】画素からなる２つの別個のサブ列に形成された画素の単一の列の斜視図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２４からとった回路の２つの列を示す図である。

【図２４ｂ】画素からなる２つの別個のサブ列に形成された画素の単一の列の正面図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２４からとった回路の２つの列を示す図である。

【図２４ｃ】画素からなる２つの別個のサブ列に形成された画素の単一の列の側面図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２４からとった回路の２つの列を示す図である。

【図２５】図２５は、本開示の教示および原理による、第１の基板上に位置する画素配列および第２の基板上に位置する１つまたは複数の画素サブ列に対して専用される複数の回路列を共に形成する複数の列およびサブ列の一実施形態の斜視図であって、一列の画素とその関連したまたは対応する回路の列との間の電氣的接続および通信を示す図である。

【図２５ａ】図２５ａは、画素からなる２つの別個のサブ列に形成された画素の単一の列の斜視図であって、両画素サブ列が異なる画素列リードバスに取り付けられており、リードバスと図２５からとった回路の列の間の電氣的接続を示す図である。

【図２６】本開示の教示および原理による、第１の基板上に位置する画素配列および第２の基板上に位置する複数の回路列を共に形成する複数の列およびサブ列の一実施形態の斜視図であって、画素の各サブ列とその関連したまたは対応する回路の列の間の電氣的接続および通信を示す図である。

【図２６ａ】画素からなる２つの別個のサブ列に形成された画素の単一の列の斜視図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２６からとった回路の２つの列を示す図である。

【図２６ｂ】画素からなる２つの別個のサブ列に形成された画素の単一の列の正面図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２６からとった回路の２つの列を示す図である。

【図２６ｃ】画素からなる２つの別個のサブ列に形成された画素の単一の列の側面図であって、各画素サブ列が異なる画素列リードバスに取り付けられており、間に電氣的接続を示す図２６からとった回路の２つの列を示す図である。

【図２７】本開示の教示および原理による、第１の基板上に位置する画素配列および第２の基板上に位置する複数の回路列を共に形成する複数の列およびサブ列の様々な実施形態の上面図であって、画素の各サブ列とその関連したまたは対応する回路の列の間の電氣的接続および通信を示す図である。

【図２８】本開示の教示および原理による、第１の基板上に位置する画素配列および第２の基板上に位置する複数の回路列を共に形成する複数の列およびサブ列の様々な実施形態の上面図であって、画素の各サブ列とその関連したまたは対応する回路の列の間の電氣的接続および通信を示す図である。

【図２９】本開示の教示および原理による、第１の基板上に位置する画素配列および第２の基板上に位置する複数の回路列を共に形成する複数の列およびサブ列の様々な実施形態の上面図であって、画素の各サブ列とその関連したまたは対応する回路の列の間の電氣的接続および通信を示す図である。

【図３０】本開示の原理および教示の拡張性を示す概略的に大きい画像センサを示す図である。

【図３１】本開示の教示および原理により管腔内に配設されると共に作製される画像センサを有する内視鏡の一実施形態を示す図である。

【図３２ａ】図３２ａは、本開示の教示および原理により内視鏡の管腔内に配設されると共に作製される画像センサ上の画素配列の最大化を示す図である。

【図３２ｂ】図３２ｂは、本開示の教示および原理により内視鏡の管腔内に配設されると

10

20

30

40

50

共に作製される画像センサ上の画素配列の最大化を示す図である。

【図32c】図32cは、本開示の教示および原理により内視鏡の管腔内に配設されると共に作製される画像センサ上の画素配列の最大化を示す図である。

【図33a】図33aは、本開示の教示および原理による内視鏡および回路が積み重ねられ得る秩序の様々な実施形態を示す図である。

【図33b】図33bは、本開示の教示および原理による内視鏡および回路が積み重ねられ得る秩序の様々な実施形態を示す図である。

【図33c】図33cは、本開示の教示および原理による内視鏡および回路が積み重ねられ得る秩序の様々な実施形態を示す図である。

【図34】本開示の教示および原理により作製される、内視鏡の管腔内に配設される画像センサ中の2つの基板の詳細図である。

【発明を実施するための形態】

【0008】

本開示による原理の理解を促進するために、次に、図面に示された実施形態の参照がなされ、特定の言語がそれを説明するために使用される。それにも関わらず、本開示の範囲について限定のないことがそれによって意図されると理解されよう。本開示を手に入れた当業者に通常思い浮かぶ、本明細書に示された本発明の特徴の任意の変更およびさらなる修正、ならびに本明細書に示されるような本開示の原理の何らかのさらなる応用は、特許請求の範囲に記載された本開示の範囲内とみなされるべきである。

【0009】

垂直相互接続を用いた列またはサブ列のハイブリッド画像センサ内のADCまたは列の回路のバンクを交互に配置する装置、システム、方法、およびプロセスが、開示および説明される前に、構造、構成、工程段階、および材料は多少変更され得るものだから、本開示は、本明細書に開示されたそのような特定の構造、構成、工程段階、および材料に限定されないことを理解されたい。本明細書に用いられる専門用語は、特定の実施形態を説明するために使用されるものにすぎず、本開示の範囲は、添付の特許請求の範囲およびその均等物によってのみ限定されるものであるから、専門用語は限定するものではないということも理解されたい。

【0010】

本明細書および添付の特許請求の範囲に使用されるとき、単数形「a」、「an」および「the」は、文脈上明らかに他に示さない限り、複数の概念を含むことに留意しなければならない。

【0011】

本開示の主題を説明およびクレームするとき、以下の専門用語は、以下に述べる定義に従って使用される。

【0012】

本明細書に用いられるとき、用語「備える、含む (comprising)」、「含む、備える (including)」、「含む (containing)」、「ことを特徴とする (characterized by)」、およびその文法的に等価な表現は、追加の記載されていない要素または方法ステップを除外しない非排他的なまたはオープンエンドの用語である。

【0013】

本明細書に用いられるとき、語句「からなる (consisting of)」およびその文法的に等価な表現は、請求項に記載されていないいかなる要素またはステップも除外する。

【0014】

本明細書に用いられるとき、語句「本質的に~からなる (consisting essentially of)」およびその文法的に等価な表現は、請求項の範囲を、記載された構成要素またはステップ、ならびにクレームされた開示の基本的かつ新規な1つまたは複数の特徴に実質的に影響しない構成要素またはステップに限定する。

10

20

30

40

50

## 【 0 0 1 5 】

本明細書に用いられるとき、用語「近位」は、起点に最も近い部分という概念を幅広く指すものとする。

## 【 0 0 1 6 】

本明細書に用いられるとき、用語「遠位」は、一般に、近位の反対を指すものであり、つまり、文脈に応じて、起点からより遠い部分、または最も遠い部分という概念を指すものとする。

## 【 0 0 1 7 】

デジタルイメージングは、静止画であろうと動画であろうと、画像データを記録するために使用される装置に関して課せられる多くの制約を有する。本明細書中に述べられるように、撮像センサは、少なくとも1つの基板上に配設される画素配列および支援用回路を備えることができる。通常、装置は、用途に応じて撮像センサのフォームファクタに対する実際的で最適な制約を有する。大部分の用途、特に商業的利用の場合に関しては、通常はサイズが制約である。サイズがほとんど制約されないように思われる宇宙空間の用途であっても、撮像装置が軌道に打ち上げられ、重力に打ち勝つ必要があるため、サイズは、依然として問題である。加えて、特に家庭用電化製品では、撮像装置/カメラによって加わる大きさは、可能性のある他の機能的なハードウェアまたは電池の容量/寿命を奪い去る。したがって、サイズは、ほとんど常に、撮像センサを用いるどの用途でも対処しなければならない制約である。

10

## 【 0 0 1 8 】

多くの場合、撮像装置のフォームファクタは制約される。画素配列に対して横方向/水平方向に制限のない領域または占有面積が存在でき、あるいは画素配列の真後ろに垂直に豊富な空間が存在し得る。しばしば、それは、取り付け品についての検討事項である画素配列ではなく、収容されることが必要である支援用回路である。支援用回路は、アナログ・デジタル変換器、電力回路、パワーハーベスタ、増幅器回路、専用信号プロセッサ、およびフィルタ、データ伝送用の直列化回路などであり得るが、必ずしもそれらに限定されない。回路に加えて、光フィルタおよびレンズなどの物理的特性要素が必要とされ得る。上記の全てのことは、撮像装置のフォームファクタを決定および設計するときに検討されなければならない。従来より産業は、その時代の画像センサを設計するときに支援用回路の横方向配置または水平配置を選んできた。しかしそれでも、横方向または水平方向のフォームファクタよりもむしろより垂直なフォームファクタから恩恵を受ける多くの応用が存在する。

20

30

## 【 0 0 1 9 】

(画素配列に対して)比較的垂直なフォームファクタを有する撮像装置から恩恵を受ける応用の一例は、スコープの使用を必要とする使用分野におけるものである。例えば、工業用スコープおよび医療用内視鏡は、装置の管腔内に格納できる画像センサから恩恵を受ける。そのようなスコープ応用では、スコープの管腔内に配設できる画像センサが有利であり得る。次いで、管腔の内径(円い場合)は、画像センサの最大径(円形)を定めることになる。3 mmから15 mmのよくある管腔のサイズの範囲の場合、画像センサは、内径の制約による横方向のフォームファクタの検討事項に大きく制限されることが理解されよう。したがって、より垂直な構成が有利であり得る。

40

## 【 0 0 2 0 】

上述の通りサイズが問題であるが、画素数は、特定の応用に関係なく産業全体で上昇し続け、しばしば、コンピュータのモニタまたはテレビなどの画像が記録された後に画像を実際に見るのに使用される手段を凌駕する。しかし、全ての画素が等しく作り出されるのではないことを理解されたい。上記の例では、スコープの構成は、限られた光応用において使用することができる。したがって、光が少ない状況でよく機能するスコープを利用した画像センサが有利であり得る。大きい画素は、画素のサイズが異なるために、小さい画素よりも単純により多くの光を集める能力を有する。しかし、市場の趨勢は、所与のフォームファクタにおける画素の個数を増大させることとなっている。必然的に、所与の面積

50

中に画素がより多くあることは、一般的に、より小さい画素サイズを意味する。より小さい画素は、電子の混み合いのために、より少ない光の中で良く働かず、ノイズを作り出すという欠点がある。加えて、より多くの画素は、集光空間に対して境界的空間がより多いものと同じである。より大きい画素は、より大きい画素が光感知部分とボーダー部分の大きな比を単純に有するので、より良い画像およびより高い画質をもたらす傾向がある。これらの問題の両方が、今日の小さい画像センサの画質の悪さをもたらす。

#### 【 0 0 2 1 】

画素数が所与の空間内で増大し続けるにつれて、画素ピッチは減少し、それによって相互接続の電気接点についてより優れた精度を必要とする。したがって、増大した画素ピッチの場合、データ処理時のより優れた精度の必要性が要求されるにつれて、画像センサの生産コストは増加し得る。現在の技術を使用して性能を向上させた画像センサを実現できるが、製造中に歩留まりが落ちるので増大したコストで実現し得る。

10

#### 【 0 0 2 2 】

画素ピッチとバンクピッチの比に対しての本明細書に開示された技法および構造は、以下のことを可能にする。

- ・ 交互の相互接続、すなわち、相互接続の冗長性を与える能力が増大されることにより製造信頼性を改善すること。

- ・ 応用または使用分野ごとに費用効率性が高いやり方でバンクピッチサイズを最大化すること。

- ・ より大きい画素ピッチを使用する能力により、より経済的なCMOSプロセスを可能にすること。

20

- ・ より効率的なバンク技術のアクセス、すなわち複数のバスからのデータ読み出しまたは画素配列から直接のデータ読み出しを可能にすること。

- ・ CMOSプロセスの冗長性が歩留まりを改善することを可能にすること。

- ・ 所定または一定の画素領域における局所的なADCを使用すること。

- ・ 複数の画素配列の幾何学的形状、複数のバスおよび列バンク構成が利用されることを可能にすること。

#### 【 0 0 2 3 】

上記の特定された問題は、この産業内のいくつかの必要性に関連して現在の最先端を説明する。必要なものは、できるだけ画素サイズが大きい画素数、垂直構造、およびフォームファクタによって十分な分解能を有する画像センサであり、その全ては、限られた空間内に制約される。本開示は、基板/チップ上の画素配列のサイズを最適化し、概して垂直な構成で1つまたは複数の支持用基板/チップ上に支援用回路を遠隔に設置することによって、これらの問題および潜在的な他の問題に対処する設計の実施形態および方法を考え、述べることにする。

30

#### 【 0 0 2 4 】

オンチップアナログデジタル変換器(ADC)、オンチップデジタルアルゴリズムおよびオンチップアナログアルゴリズム、オンチップ複雑タイミング、ならびにオンチップ複雑アナログ機能を使用する高性能画像センサは、以下の理由、すなわち、長いオフチップアナログデータ線によるピックアップノイズが無いこと(オンチップADCがない場合、アナログ信号がチップ外へ送られる必要があること)、デジタル変換がデータ経路内で早期に実行されるため低テンポラルノイズであること(余分なノイズを付加する余分な増幅器、バッファがないこと)、複雑なオンチップタイミング発生器を用いるローカルタイミング最適化により、高品質の画像を与える(以上のリストは、完全なリストではなく、例示のために与えられるにすぎない)。パッドカウントの制限のため、単純なタイミングだけが外部システムを用いて実行でき、低ノイズがI/Oにより発生する。オンチップシステムは、パッドカウントの減少を可能にし、より高速な動作(より連続的なオンチップ動作、浮遊容量および抵抗の低減)を実現することができる。

40

#### 【 0 0 2 5 】

しかし、そのような高品質の画像をもたらすために使用される精密な機能およびプロセ

50

スは、画素配列の周辺にとても大きな領域を占め、画素配列サイズとダイサイズの比を大きく下げる。上記のADCおよび他の精密な機能を備えるオンチップのプロセスおよび回路を使用するイメージングシステムでは、画素配列サイズとダイサイズの比を25%未満にさせることは一般的である。したがって、画素配列サイズとダイサイズの比とオンチップの機能の間にトレードオフが存在する。

【0026】

したがって、画素配列サイズとダイサイズの最適化された比を使用する必要がある技術の応用の大部分は、デジタル変換を用いない（アナログ出力である）または低減されたアナログ/デジタル機能および低グレードのアナログ・デジタル変換を用いるカスタマイズされた画像センサを使用する。その場合でも、50%より大きい画素配列サイズとダイサイズの比は、実現するのが困難である。

10

【0027】

本開示は、画質を犠牲にすることなく画素配列サイズとダイサイズの比を増大させるシステムおよび方法を説明し、考える。本開示は、所与のダイサイズを使用し、最大化された画素配列サイズが必要とされるイメージング応用、または所与の画素配列サイズを使用するが、より小さいダイサイズが必要とされるイメージング応用を考える。

【0028】

3次元積層技術の重要な問題の1つは、バンプピッチである。現在の技術は、約50mmから約100mmのバンプピッチを実現する。次の3年から10年の間に、開発中の技術によって、バンプピッチが、画素ピッチと等しいサイズまたはほぼ同じサイズである範囲内でサイズが減少することを可能にすることが期待される。

20

【0029】

また、積層基板/チップの歩留まりは、バンプピッチに直接左右される。最もよくある積層基板/チップの不良は、2つの相互接続またはバンプ間の電氣的短絡である。バンプピッチのサイズが減少し、バンプピッチが小さくなるにつれて、ウェハの平坦化の仕様はより厳しくならざるを得ない。ウェハの平坦化の誤差を吸収するために、相互接続またはバンプは、より高く作製または成長させられる。しかし、より高い相互接続/バンプにおける余盛りは、ウェハボンディングプロセス中に（1つまたは複数の）側部に移動する傾向があり、これによって隣り合ったまたは隣接したバンプを短絡させる可能性がある。緩和されたウェハ位置合わせプロセスによるより高い歩留まりおよびより低いコストは、相互接続またはバンプピッチを緩和させることによって実現することができる。

30

【0030】

本開示は、バンプピッチを緩めつつ、より狭い画素ピッチで動作する装置、システム、方法を提案する。

【0031】

本開示は、画像センサの画素配列および支援用回路が単一のモノリシックの基板/チップ上にあり、画素配列を支援用回路の全部または大部分から隔てた状態の他の方法によって製造され得る画像センサも考える。本開示は、3次元積層技術を用いて積み重ね合わされる少なくとも2つの基板/チップを使用することができる。2つの基板/チップのうちの第1の基板/チップは、イメージCMOSプロセスを用いて処理できる。第1の基板/チップは、画素配列で排他的に構成することができ、または限られた回路によって囲まれた画素配列で構成することができる。第2のまたは次の基板/チップは、任意のプロセスを用いて処理することができ、イメージCMOSプロセスによる必要はない。第2の基板/チップは、限定するものではないが、基板/チップ上のとても限られた空間または領域に様々な多数の機能を組み込むために非常に高密度のデジタルプロセスとすることができ、または例えば精密なアナログ機能を組み込むために混合モードまたはアナログプロセスとすることができ、または無線能力を実装するためにRFプロセスとすることができ、またはMEMS（微小電気機械システム）デバイスを組み込むためにMEMSとすることができ、イメージCMOS基板/チップは、任意の3次元技法を用いて第2のまたは次の基板/チップを積み重ねることができる。第2の基板/チップは、回路のほとんどすなわ

40

50

ち大部分を支持することができ、この回路は、(モノリシックの基板/チップ上に実装される場合)第1のイメージCMOSチップに周辺回路として他の方法で実装され、したがって、画素配列サイズを一定に維持すると共に、できる限り最大限に最適化しつつシステム領域全体を増大させる。2つの基板/チップ間の電氣的接続は、結線、mバンプおよび/またはTSV(シリコン貫通電極)であり得る相互接続によってなされ得る。

#### 【0032】

次に、図1aおよび図1bを参照すると、図1aは、モノリシック設計の撮像センサの一例であり、単一の基板がチップ構成の基礎として使用される。図1aに見られるように、基板100aは、画素配列150aを備えることができ、画素配列150aは、電磁エネルギーを受け取り、電磁エネルギーをデータに変換し、次いでそのデータを処理のために支援用回路110a、120a、130aへ送り、それにより最終的にデジタル画像または映像になるように構成される。支援用回路は、ほんのいくつかの例を挙げると、アナログ・デジタル変換器110a、増幅器回路130a、フィルタ回路、電力供給および収穫回路120a、およびシリアルプロセッサなどの信号処理回路を含むことができる。支援用回路のいくつかは、他の回路よりも画素配列により近くに位置し、画素配列の各画素にバスを介して接続することができる。例えば、増幅回路およびデジタル変換回路は、画素配列のより近くに位置することが好ましいものであり得るが、これはその構造が、データ流の明確性を増大させ、システムに最小のノイズをもたらし得るからである。図1aに見られるように、画像センサ100aは、画像センサに関して典型的に市場で入手できるものの概略図である。

10

20

#### 【0033】

図1aは、コストおよび製造の制約のために今日市場を支配する画素配列150aに対する支援用回路のほぼ横方向配置を示す。基板画素配列150aと同じ基板および画素配列150aに対して同じ基板上の支援用回路の横方向配置は、構造を単純化し、生産コストを削減する。しかし、上述したように全ての応用が横方向回路配置および水平回路配置に役立つのではないため、単一の基板の使用は、フォームファクタの問題などのいくつかの欠点および制約を有する。

#### 【0034】

図1bに示されるように、支援回路、例えば110a、120a、130aなどが、第1の基板160から取り除かれるとき、第1の基板160上に設置されることになるより大きい画素配列150aのためのかなり大きい場所が残る、このことは、より多くのまたはより大きい画素が使用できることを意味する。本明細書に開示された特徴の技法および組み合わせを用いる撮像センサを使用する電子装置に同じ物理的制約があるとすれば、向上した画素分解能または増大した画素サイズの使用が可能になる。そのような場合には、画像センサの基板は、サイズを減少することができ、サイズが一番の関心事であると共に、しかも高品質の画像が望ましいより多くの装置に使用することができる。具体的には、図(1b)は、支援回路110b、120bおよび130bを画素配列に対して遠隔に設置する設計概念を示す。

30

#### 【0035】

主に図2を参照すると、支援用回路を担持するために支持用基板を使用することが述べられる。例示的な画像センサ200の一実施形態では、複数の画素列に形成される複数の画素を含み得る画素配列205は、第1の基板210の表面に配置される。第1の基板210上に位置する複数の画素列の各々は、リードバス240に電氣的に接続することができる。信号処理および画像強調は、第2の基板220上に位置する支援用回路によって実行することができる。この回路は、アナログ・デジタル変換器228、増幅器回路226、フィルタ回路224、電力供給および収穫回路222などの信号処理回路を含むことができ、これは第1の基板210上の複数の画素列に対応する複数の回路列も形成することができる。各回路列は、各回路列に対応するリードバス230または複数のリードバスと電子通信する複数の支援用回路から構成することができる。言い換えれば、信号処理回路は、第2の基板または支持用基板220上に位置することができる。次いで、第2の基板

40

50

220上の複数の回路列の各々は、はんだパンプ、はんだボール、またはビアなどの相互接続を介して第1の基板210上に位置する対応する画素列に電子的に接続することができ、相互接続は、リードバス230、240が重ね合わされるまたは重なり合う物理的経路に沿ってどこかに位置し得る。画像センサの所望の機能に応じて、それぞれの基板が画像センサに必要な任意の回路を格納すると共に支援用回路が任意の秩序または組み合わせにある複数の二次基板の使用を考えるとやはり本開示の範囲内である。

#### 【0036】

図3aから図3fに示されるように、概して、画像センサ300aは、画素配列350aと、支援用回路370aとを備えることができ、支援用回路370aは、アナログ・デジタル変換器317a、増幅器315a、フィルタ314a、およびクロック316aを含み得るものであり、それらの全ては、モノリシックの基板310a上に配設され得る。図3aおよび図3bでは、モノリシックの画像センサが、それぞれ斜視図および上面図に示される。画素配列350aは、複数の画素列から構成することができ、複数の画素列352aの各々は複数の個々の画素を含む。支援用回路370aは、複数の回路列356aを備えることができ、回路列356aの各々は、対応する画素列352aを支援するための回路を備える。図に示されるように、モノリシックの回路列356aはそれぞれ幅1画素であり、回路列356aが対応する画素列に対して局所的に設置される。これらの図は、画像センサの一方の側だけで対応する列回路に電氣的に接続される画素列当たり1つのリードバスを伴う共有されない複数の画素の画素配列を示す。本実施形態では、対応する回路は、1画素の幅であるが、以下に述べられるような支援回路の他の構成は、本開示の範囲内と考えられ、画像センサの設計オプションを増すために使用することができると理解されよう。

10

20

#### 【0037】

次に、図3cおよび図3dを参照すると、複数の画素を含む単一の画素列352a、および単一の回路列356aが、それぞれ斜視図および上面図に示される。図に示された単一の画素列352aおよび対応する回路列356aは、図3aおよび図3bに示される画像センサ300aからとられ、単一の回路列356aに電氣的に接続される単一の画素列352aを単に示すことが理解されよう。

#### 【0038】

図3eおよび図3fは、モノリシック回路上に作製された撮像センサ300aの一実施形態の斜視図および上面図を示すものであり、画素および支援用回路を含む複数の列を示す。図3aおよび図3bとは対照的に、図3eおよび図3fは、幅2画素があるものとして支援用回路を示す。これらの図では、交互の画素列352aは、画素列352aの両端に位置する対応する回路に読み出されることが見られる。そのような構成は、対応する回路列356aの領域のアスペクト比の変化をもたらす。バス330aは画素配列350aの交互の両端に読み出されるので、回路列356aは、幅2画素とすることができる。図3b~図3fに示されるセンサと対比させると、図3bに示される画素列352aは、6画素(単位)の長さとして1画素の幅のアスペクト比(6/1)を有し、回路列356aは、同様のアスペクト比を有する。反対に、図3fに示される画像センサは、6画素(単位)の長さとして1画素の幅のアスペクト比(6/1)を有する画素列352aと、回路列356aは、2画素の幅および3画素の長さ(2/3)のアスペクト比を有する。

30

40

#### 【0039】

対照的に、(図3a~図3fに示された)モノリシックの基板上に構築された撮像センサ300aの同一の機能が、モノリシックの基板またはチップよりもずっと小さい寸法を有する(少なくとも横方向において、ずっと小さい領域およびフォームファクタを有する)撮像センサ300に与えられ、提供され得る。次に、図3gから図3aを参照すると、第1の基板310上に配設され得る画素配列350を備えることができ、一方、支援用回路370の全部は、第2の基板311および第3の基板312などの1つまたは複数の支持用基板に(画素配列350および第1の基板310に対して)遠隔に設置できる撮像センサ300が述べられる。

50

## 【 0 0 4 0 】

画像センサが複数の基板上に構築および製造できることに留意されたい。複数の基板の各々は、積み重ねられた構成または形態で互いに対して設置することができ、ここで、支持用基板の全部は、撮像される対象に対して、画素配列 3 5 0 を備える第 1 の基板 3 1 0 の背後に積み重ねられまたは揃えられる。積層時の基板の各々は、はんだバンプもしくははんだボール、ビア、または電気通信の他の形態などの相互接続 3 2 1 を通じて電氣的に接続することができる。相互接続 3 2 1 は、本開示の範囲から逸脱することなく、同じまたは異なる基板上的様々な回路に電気信号を伝える任意の知られた手段または方法を含み得ることが理解されよう。

## 【 0 0 4 1 】

図 3 g、図 3 i、図 3 m、図 3 n および図 3 u では、画像センサ 3 0 0 の画素配列 3 5 0 および様々な支援用回路 3 7 0 を備える複数の基板の各々は、積層時に同様のサイズとなり得、複数の基板が積層内でほぼ揃うことができるようになっている。一実施形態では、第 1 の基板 3 1 0 および複数の続く支持用基板 3 1 1 は、複数の通信列がほぼ同じ長さおよび幅の多層スタックに形成されるようにほぼ揃った状態で積み重ねることができる。

## 【 0 0 4 2 】

他の実施形態では、フォームファクタがそれを可能にする場合、異なる長さおよび幅を有する様々なサイズの基板が使用されてもよく、積層時に好ましいものとなり得ることに留意されたい。熱放散およびノイズなどの検討事項は、多くのさらに多くの検討事項と共に、積み重ねられた構成を設計するときに考慮することができる。例えば、一実施形態では、増幅用回路などの高熱回路は、(図 1 1 に最もよく示される)積層内の支持用基板のうちの 1 つの突出部分に配置することができる。

## 【 0 0 4 3 】

画素配列 3 5 0 は、複数行の画素および複数列の画素に形成することができることに留意されたい。各画素列 3 5 2 は、直線状フォームファクタ内に複数の画素を備えることができる。この直線状フォームファクタは、1 画素の幅および任意の個数 (A N @) の画素の長さである。各画素列 3 5 2 が、画素ピッチとほぼ同じ幅、およびセンサ設計による所定のものと同じ長さである面積値を有することになることにさらに留意されたい。

反対に、本明細書中で言及されるとき、回路列 3 5 6 は、画素配列 3 5 0 を含む第 1 の基板 3 1 0 ではない基板上に割り当てられた空間であり、これは対応する画素列 3 5 2 に専用であり、対応する画素列 3 5 2 に電氣的に接続されるまたは電気通信する少なくとも 1 つの支援回路 3 7 0 を含む。画素列 3 5 2 によって占められる空間は、画素列 3 5 2 と対応する回路列 3 5 6 によって占められる空間と同じまたはほぼ同じにできることが理解されよう。このようにして、第 2 の基板または支持用基板 3 1 1 は、複数の回路列 3 5 6 を備えることができ、各回路列 3 5 6 は、対応する画素列 3 5 2 が第 1 の基板 3 1 0 上に領域を有するのと実質的に同一または類似の占有面積の領域を第 2 の基板 3 1 1 上に備える。

## 【 0 0 4 4 】

加えて、各画素列 3 5 2 は、第 1 の基板 3 1 0 上のリードバス 3 3 0 と電子通信するまたは電子通信可能であり、一方、回路列 3 5 6 は、第 2 の基板 3 1 1 上のリードバス 3 4 0 と電子通信するまたは電子通信可能である。2 つの前述のバス 3 3 0、3 4 0 は、少なくとも 1 つの相互接続 3 2 1 に電氣的に接続することができ、図 3 g から図 3 a a に示されるように、相互接続 3 2 1 は、2 つのバス 3 3 0、3 4 0 によって形成される経路に沿ったどこか、あるいは 2 つのバス 3 3 0、3 4 0 の重ね合わせ内のどこか、または 2 つのバス 3 3 0、3 4 0 の間のどこかに設置される。一実施形態では、複数の相互接続 3 2 1 が、単一の画素列 3 5 2 を単一の対応する回路列 3 5 6 に接続するために使用することができる。そのような一実施形態では、使用される相互接続 3 2 1 の個数の冗長性は、生産歩留まりの増加または機能の向上をもたらすことができる。

## 【 0 0 4 5 】

本明細書中で言及されるとき、アスペクト比は、基板上の領域の全体的な形状に言及す

10

20

30

40

50

るために使用される。例えば、4画素単位の幅および5画素単位の長さとして定められる領域は、4/5または5/4のアスペクト比を有する。アスペクト比なる用語は、領域の形状が重要とみなされる状況を一般的に示すために使用することができる。例えば、アスペクト比の概念は、異なる基板上に位置する2つの対応する領域のアスペクト比の差を示すために使用することができる。図3g~図3aaに示される画素列352と回路列356のアスペクト比は、同一であっても異なってもよく、画素列352およびその対応する回路列356の実装面積の領域は、ほぼ同じくすなわち等しくすることができることに留意されたい。異なるアスペクト比のいくつかの例が、図3gから図3aaに示されるが、本開示の原理は、任意の数のアスペクト比の構成に適用できることに留意されたい。しかし、図に示されるように、回路列356の実装面積または占有面積の領域は、画素列352の実装面積または占有面積の領域とほぼ同じまたはほぼ等しい。製造技法が改善されるまたは設計パラメータが変更されると、多かれ少なかれ領域が、回路列356の支援用回路370のために必要とされ得る。

10

20

30

40

50

#### 【0046】

図3gおよび図3hを特に参照すると、増幅器、フィルタ、クロック、または画像センサを支援するために必要な他の回路を備えることができる支援用回路370が全部、第2の基板311などの1つまたは複数の支持用基板上に配設され得る。しかし、そのような回路は、第2の基板311または第3の基板などの1つまたは複数の基板上に分散させられてもよいことが理解されよう。加えて、アナログ・デジタル変換器が、支持用基板のうちの1つの上に遠隔に設置されてもよい。支援用回路370の秩序および位置は、変更することができ、必要に応じて、複数の支持用基板のうちのいずれかの支持用基板上に設置されてもよいことが理解されよう。

#### 【0047】

図に見られるように、各画素列352は、第1の基板310上の1つのリードバス330に関連すると共に、第1の基板310上の1つのリードバス330に電気的に接続することができる。一方、回路列356の各々は、支持用基板311上の1つのリードバス340に関連すると共に、1つまたは複数の相互接続321によって支持用基板311上の1つのリードバス340に電気的に接続することができる。1つまたは複数の相互接続321は、uパンプ321aとビア321bを共に含むことができる(図3hに最もよく示される)。少なくとも1つの相互接続321は、例示されるように、第1の基板310上の画素列バス330を支持用基板311上の回路列バス340に接続するために使用することができる。図3i、図3j、図3l、図3o、図3q、図3r、図3t、図3v、図3x、図3yおよび図3aa中の破線矢印は、相互接続321が、対応する画素列352および回路列356ごとの2つのリードバス330および340の重ね合わせ経路に沿ってどこかに位置することができることを示す。

#### 【0048】

次に、図3iから図3mを参照すると、複数の基板上に構築された撮像センサの一実施形態300の様々な図が示される。図3iおよび図3mは、第1の基板310上の画素配列350を形成する複数の画素列352、および第2の基板311上の(支援用回路370を表す)複数の回路列356を示す。例示されるように、回路列356は、回路列356が関連する画素列352に直接対応するために1画素の幅および任意の個数の画素の長さであり得る。これらの図は、各画素列352と回路列356内のその関連した回路370との間の接続の一例を示す。これらの図は、画素列352当たり1つのリードバス330、および回路列356あたり1つのリードバス340も示し、ここで回路列356内の関連した回路370は、1つの画素列の幅である。

#### 【0049】

本明細書に上述のように、各画素列352は、1つの画素列バス330に電気的に関連または接続することができる。各回路列356は、1つの画素列バス340に電気的に関連または接続することができる。図3jから図3lはそれぞれ、図3iに示された複数の画素列352および複数の回路列356から分離された単一の画素列352および単一の回

路列 3 5 6 の斜視図、正面図、および側面図を示す。図 3 j から図 3 l は、1 つまたは複数の相互接続 3 2 1 を用いて、画素列 3 5 2 および回路列 3 5 6 のバス 3 3 0 と 3 4 0 の間の電氣的接続をさらに示す。バス 3 3 0 および 3 4 0 は、1 つまたは複数の相互接続 3 2 1 を用いて電氣的に接続することができるが、これらの図は、本開示の精神または範囲から逸脱することなく、相互接続 3 2 1 が、バス 3 3 0 および 3 4 0 の重ね合わされた経路に沿ってどこかに位置し得ることを示す。

#### 【 0 0 5 0 】

次に、図 3 n から図 3 t を参照すると、複数の基板上に構築された撮像センサ 3 0 0 の一実施形態の様々な図が示されており、画素配列 3 5 0 を形成する複数の画素列 3 5 2 は、第 1 の基板 3 1 0 上に位置し、複数の回路列 3 5 6 は、第 2 の基板 3 1 1 上に位置する。この実施形態では、回路列 3 5 6 は、2 画素の幅または 2 画素の列であり得る。この例では、各画素列 3 5 2 と対応する回路列 3 5 6 内のその関連した回路 3 7 0 の間の接続は、画素列 3 5 2 および回路列 3 5 6 ごとに 1 つのリードバス 3 3 0、3 4 0 であり得る。図に見られるように、第 1 の基板 3 1 0 上の画素列 3 5 2 によって費やされる領域は、対応する回路列 3 5 6 によって費やされる領域に対応する。そのような対応関係は、基板、例えば 3 1 0 および 3 1 1 のダイレクトオーバーレイ (direct overlay) を可能にし、回路列 3 5 6 内の支援回路 3 7 0 は、支援回路 3 7 0 が支援する画素列 3 5 2 で直接積み重ねられるようになっている。

そのような構成では、画素列 3 5 2 のアスペクト比は、回路列 3 5 6 のアスペクト比にほぼ等しくなるが、さらに以下に述べられるように、そのようなアスペクト比の等しさは必要とされないことにも留意されたい。図 3 m に見られるように、画素列は、1 つの画素列の幅および 6 画素の長さであり、したがってアスペクト比は 1 / 6 である。回路列も、同じ 1 / 6 のアスペクト比を有する。対照的に、図 3 n は、回路列のアスペクト比が画素列のアスペクト比の 2 倍の幅であるが、たった半分の長さであり、それによって支援用回路を配置するために使用可能な実装面積をできる限りより多く与える設計を示す。図 3 m および図 3 n では共に、画素列 3 5 2 と回路列 3 5 6 の両方の実装面積の領域は、アスペクト比が異なっているとしても、互いにほぼ等しい。

#### 【 0 0 5 1 】

図 3 n は、基板同士の間の異なるアスペクト比が、バスの接触箇所においてどのように柔軟性を可能にすることができるのかについても示す。本実施形態では、列の回路バス 3 4 0 は、回路列 3 5 6 の領域をより均一に占めるように概して任意の形状のもので設計し、それによって回路列 3 5 6 全体にわたって相互接続 3 2 1 を接続するためのオプションを与えている。画素列バス 3 3 0 はほぼ U 形ではないが、回路列バス 3 4 0 はほぼ U 形とすることができ、そのため同じ列の回路 3 5 6 は、図 3 o および図 3 r の 2 つの異なる画素列の構成と共に使用することができることに留意されたい。(図 3 o に示されるように) U 形の回路列バス 3 4 0 の第 1 の脚は、第 1 の画素列 3 5 2 のリードバス 3 3 0 に重ね合わせることができ、(図 3 r に示されるように) U 形の回路列バス 3 4 0 の第 2 の脚は、次の隣接した画素列 3 5 2 のリードバス 3 3 0 に重ね合わせることができる。図 3 o および図 3 r は、図 3 n の画素配列 3 5 0 からとった画素列 3 5 2 を示す。図 3 o および図 3 r は、回路列 3 5 6 の実装面積内の相互接続 3 2 1 の配置についての 3 つのオプションを示す。図 3 q に示されるように、回路列 3 5 6 のアスペクト比が 2 倍の幅であると示されるが、対応する画素列 3 5 2 が半分の長さであるので、相互接続 3 2 1 の位置のオプションは、画素列 3 5 2 の長さの一部に単に利用できるだけであることに留意されたい。図 3 p は、複雑なバス形状の場合、それが支持する画素列 3 5 2 の 2 倍の幅を有する回路列 3 5 6 内のバス 3 4 0 に沿って 2 つの相互接続位置経路のオプションが存在できることを示す。図 3 p は、U 形の回路列バス 3 4 0 の第 1 の脚と第 1 の画素列 3 5 2 のリードバス 3 3 0 の重ね合わせの正面図を示し、相互接続 3 2 1 を次の隣接した画素列 3 5 2 に設置するために図 3 r および図 3 s に示されるようにバス 3 4 0 の最内部分を使用するのは対照的に、相互接続 3 2 1 を設置するためにバス 3 4 0 の最外部分を使用する。図 3 r は、図 3 n (最右の画素列) および図 3 o に示される第 1 の画素列に対してその左に設置さ

れる次の画素列 3 5 2 を示す。図 3 r に示される第 2 の画素列 3 5 2 のバス 3 3 0 は、例示されるようにバス 3 4 0 の第 2 の脚に電氣的に接続することができる。回路列 3 5 6 の実装面積がアスペクト比 2 / 3 を有するので、画素列バス 3 3 0 と回路列バス 3 4 0 の重ね合わせは、回路列バス 3 4 0 の第 2 の脚がほぼ U 形であることを必要とし、それによって図 3 r および図 3 s に示される次の画素列 3 5 2 に対してバス 3 3 0 および 3 4 0 の自然な整合または重ね合わせを可能にすることに留意されたい。

#### 【 0 0 5 2 】

図 3 u は、複数の基板上に構築された撮像センサの一実施形態 3 0 0 の斜視図を示しており、画素配列 3 5 0 を形成する複数の画素列 3 5 2 は第 1 の基板 3 1 0 上に位置し、複数の回路列 3 5 6 は第 2 の基板 3 1 1 上に位置しており、回路列 3 5 6 は、幅 4 画素であるが、4 分の 1 の長さでもある。この図は、複数の画素列 3 5 2 と回路の関連したまたは対応する列 3 5 6 との間の複数の電氣的接続および通信経路も示す。

10

#### 【 0 0 5 3 】

図 3 v は、間に電氣的接続を示す図 3 u の最右列からとった画素の単一の列 3 5 2 および回路の単一の列 3 5 6、ならびにこの構造に対応するための例示的なバス構成の斜視図を示す。図に見られるように、一実施形態は、対応する回路列 3 5 6 ( および関連したバス 3 4 0 ) との重なり部分が最小である画素列 3 5 2 ( および関連したバス 3 3 0 ) を備えることができる。言い換えれば、とても小さいバスの重ね合わせが、基板同士の間で求められる。しかし、図 3 u に示されるように、基板レベルで重ね合わせが存在できる。

#### 【 0 0 5 4 】

図 3 w は、間に電氣的接続を示す図 3 v からとった画素の単一の列 3 5 2 および回路の単一の列 3 5 6 の正面図を示す。図に見られるように、バスの重ね合わせのほんのわずかな外側部が、画素列 3 5 2 を回路列 3 5 6 に接続するために必要とされる。

20

#### 【 0 0 5 5 】

図 3 x は、間に電氣的接続を示す図 3 v からとった画素の単一の列 3 5 2 および回路の単一の列 3 5 6 の側面図を示す。図に見られるように、1 つまたは複数の相互接続 3 2 1 は、いくつかの実施形態に使用することができ、この図は、相互接続 3 2 1 の配置が、バス 3 3 0 および 3 4 0 の重ね合わせに沿ってどこかにあり得ることも示す。

図 3 y は、間に電氣的接続を示す図 3 u の最右列 3 5 6 の左側への最右列 3 5 6 に隣接した列からとった画素の単一の列 3 5 2 および回路の単一の列 3 5 6 の斜視図を示す。図 3 z は、間に電氣的接続を示す図 3 y からとった画素の単一の列 3 5 2 および回路の単一の列 3 5 6 の正面図を示す。図 3 v および図 3 y は、図 3 u の画素配列 3 5 0 からとった画素列 3 5 2 を示す。図 3 v および図 3 y は、回路列 3 5 6 の実装面積内の相互接続 3 2 1 の配置についての 2 つのオプションを示す。図 3 a a に示されるように、回路列のアスペクト比はより広いが、対応する画素列 3 5 2 のアスペクト比より短いので、相互接続位置のオプションは、画素列 3 5 2 の長さの一部に利用できるだけであることに留意されたい。図 3 z は、複雑なバス形状の場合、それが支持する画素列 3 5 2 の 4 倍の幅および 4 分の 1 の長さを有する回路列 3 5 6 内のバス 3 4 0 に沿って 4 つの相互接続位置経路のオプションが存在できることを示す。したがって、回路列 3 5 6 のアスペクト比は画素列 3 5 2 のアスペクト比とは異なるが、それぞれの実装面積の領域が、ほぼ同じであり、すなわち等しいことが見られる。製造技法が改善されるまたは設計パラメータが変更されると、多かれ少なかれ領域が、回路列 3 5 6 の支援用回路のために必要とされ得る。

30

40

#### 【 0 0 5 6 】

図 3 v および図 3 w は、第 1 の画素列のリードバス 3 3 0 と回路列のリードバス 3 4 0 の第 1 の脚の重ね合わせを示す。図 3 y は、図 3 v に示される画素列に対して次の隣接した画素列を示す。回路列 3 5 6 の実装面積がアスペクト比 4 / 2 を有するので、画素列バス 3 3 0 と回路列バス 3 4 0 の重ね合わせは、回路列バス 3 4 0 の第 2 の脚がそれに応じて成形されることを必要とし、それによって図 3 y および図 3 z に示される次の画素列 3 5 2 に対してバス 3 3 0 および 3 4 0 の自然な整合または重ね合わせを可能にすることに留意されたい。図 3 a a は、間に電氣的接続を示す図 3 y からとった画素の単一の列およ

50

び回路の単一の列の側面図を示す。

【0057】

画素列の各々は、画素の設計および構造に悪影響を及ぼし得る目下の状態に応じて、リードバスに対して共有可能または共有されないことが可能であることが理解されよう。画素構造の2つの例が、図12および図13に示される。図12は、各画素列が別の画素列と共にリードバスを共有しない画素構造を示す。この例は、画素列当たりたった1つのリードバスが存在するとき、共有されない画素構造を示す。反対に、図13には、水平2ウェイ画素共有が示される。図13では、2つの画素列当たりたった1つのリードバスが存在する。本明細書に述べられるように3次元積層の実施形態では、画素配列350が第1の基板上で最適化され、第2のまたは支持用基板上に位置する支援用回路の大部分から分離された実施形態において、画素列当たりのリードバスの数は、重要な検討事項であり得ることに留意されたい。複数の画素列が回路列内の支援回路のセットに対応することを可能にすることは、本開示の範囲内であることに留意されたい。例えば、いくつかの支援回路の処理能力が、画素列により生成されるデータによって必要とされるものより大きい可能性があるため、複数の画素列が、回路列に対応することができる。逆も本明細書において考えられ、いくつかの実施形態は、複数の回路列が、画素配列内の単一の画素列に対応することができる。

10

【0058】

上記の特定のプロセスおよび実施の一実施形態では、接続は、2つの基板/チップの間に位置するuバンプなどの相互接続を通じて行うことができる。2つの基板/チップの両金属層は互いに向き合うことができ、したがって、画素配列を含むCMOS画像センサチップに対しての裏面照射が必要とされ得る(第1のチップの正面側は、第2のチップの正面側に接合され得る)。一実施形態では、第1の基板/チップと第2の基板/チップの間に、列352、356当たりたった1つの相互接続が使用され得る。一実施形態では、2つ以上の相互接続が、列352、356当りに使用でき、冗長性の目的(プロセスの歩留まり)のために使用することができる。従来技術(図3aから図3fに示されるモノリシックCMOS画像センサ)に比べて、リードバスは、画素配列の縁部で折られる場合があり、第2の基板/チップ内で折り返すことができる。そして、バンプは、列内のどこかで2つのバスを接続することができる。uバンプなどのより多くの相互接続が、2つ以上の基板/チップ間の配電、または他の信号(例えば、垂直デコーダ)のために必要とされる場合があることを理解されよう。

20

30

【0059】

次に、図4を参照すると、複数の基板上に構築された画素配列および支援用回路を備える画像センサの一実施形態が、裏面照射を用いた状態で示される。図に見られるように、画素配列450は、第1の基板452上に配設され得る。第1の基板452は、光透過特性を制御するためにシリコンまたは別の材料で作製することができる。はんだボール、バンプ、またはビア421が、ある基板を別の基板に電氣的に接続するために使用することができる。積み重ねられた画像センサの一実施形態は、第1の基板452上の画素配列450を備えることができる。画素配列450は、第1の基板452の第1の表面451の少なくとも40パーセントを覆うことができる。裏面照射される構成では、図9に最も良く示されるように、画素配列950は、前記第1の基板952の裏面上に配設することができる。さらに、裏面照射の構成では、基板452は、それを通じての光の透過を制御するために薄くすることができる。裏面照射を利用する一実施形態では、第1の基板は、主にシリコン材料で作製することができるが、または第1の基板は、主に「高Z」半導体材料(例えば、テルル化カドミウム)で作製することができるが、または第1の基板は、主にIII-V半導体材料(例えば、ガリウムヒ素)で作製することができる。

40

【0060】

一実施形態では、画素配列450は、第1の基板452の第1の表面451の大部分を覆うことができる。そのような一実施形態では、画素配列450は、前記第1の表面451の任意の部分上に位置または設置することができる。第1の表面451上の残りの空間

50

は、必要ならば、二次回路配置に使用することができる。二次回路は画素配列の中央配置が実際的でないようなサイズに作製される場合がある状況が生じる可能性がある。

#### 【0061】

次に、図5を参照すると、所定の目的のために働くために、支援用回路および構成要素の少なくともいくつかは、他の支援用回路および構成要素から遠隔に設置された一実施形態が述べられる。いくつかの応用については、ある種の二次プロセッサが、画素配列からより遠隔に設置されることが望ましいものであり得る。例えば、内視鏡などの医療用スコープでは、必要な支援回路の全部を収容するのに十分な場所が画素配列の周りに存在しない場合がある。そのような場合には、画素配列を含む基板510は、画像センサ500内で他の支持用基板からある距離離れて遠隔に設置することができる。

10

一実施形態では、画素配列を含む基板510は、画素配列を含む基板に対して遠隔に設置される支持基板520に隣接しているまたはその近くにあることができる。支持基板520は、その上に増幅器回路を備えることができ、一方、他の支援用回路は、支持基板520が画素配列基板510から離れて設置される距離よりも画素配列基板510から離れている距離で別の基板530a上により遠隔に設置することができる。一実施形態では、より遠隔に設置された基板530は、配線ビア522によって画像センサ500内の他の基板に接続することができ、または他の基板および回路と無線で通信することができる。隣接した基板同士は、パンプまたははんだボール521によって互いに接続することができる。画素配列および他の回路が徐々により効率的になるにつれて、画素配列を含む基板が全ての他の支援回路からより遠隔である画像センサを提供することが、本開示の範囲内である。そのような回路は、図10に示されており、画素配列を含む基板1010は、信号処理回路および電力回路などの支援回路をそれぞれが備える支持基板1020、1030、1040からビア1022によってより遠隔に設置される。

20

#### 【0062】

一実施形態では、画像センサの画素配列は、第1の基板570の利用できる表面積の大きな割合を占め得る。図6に見られるように、(破線で示される)様々なサイズの画素配列572、574、576が、本開示によって考えられ、開示した設計の範囲内に含まれる。画素配列576は、画素配列576が第1の基板570の大きな割合を覆うが、基板570の大部分はまだ覆うことができない構成を概略的に表す。画素配列576は、利用できる領域の大部分ではないが、そのような大きな割合の領域を覆うことができ、支援用回路の少なくとも一部が、第1の基板570上に位置できないようになっている。

30

#### 【0063】

画素配列574は、画素配列576および572とは別個の構成を概略的に示しており、画素配列574は、第1の基板570のほぼ半分を覆う。画素配列572は、画素配列576および574とは別個の構成を概略的に示しており、画素配列は、第1の基板570の明らかに大部分を覆う。最適化プロセスによって、用途、機能または目的によって要求される制約内で機能しつつ、可能な最良の画像および画質を与える画素配列サイズを見つけることを可能にすることができる。上記の説明から明らかにはずである。したがって、一定の第1の基板のサイズの撮像センサを有する応用においても、第1の基板上に位置する画素配列によって示される表面積の割合は異なることができ、第1の基板で利用できる多くの異なる割合の全表面積を覆う。

40

#### 【0064】

したがって、画素配列が占めることができる表面積は、第1の基板の表面の一方の全表面積の約25%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約40%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約50%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約60%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約70%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約80%から約99%である範囲内に含まれてもよく、または第1の基板の表面の一方の全表面積の約90%から約

50

99%である範囲内に含まれてもよいことが理解されよう。述べた範囲内に含まれる全ての割合が、本開示の範囲内に含まれることが意図されると理解されよう。第1の基板の表面の一方の全表面積の約25%から約99%の範囲内に含まれる全てのサブ範囲が、本開示の範囲内に含まれることが意図されるとさらに理解されよう。

【0065】

裏面照射される画素配列の性質のため、上記の基板表面は、裏面照射される画素配列を含む画像センサには無関係であり得る。したがって、裏面照射される応用では、基板表面は、無くされてもよく、または画素配列と一体に形成されてもよい。

【0066】

画素配列の適用範囲または表面積は、画素配列が存在する基板の全表面積の約40%から約70%の範囲内とすることができ、そのような場合には、画像センサの設計から減縮することなく、いくつかの支援回路をその上に配置することが可能であり得る。一実施形態では、発光回路は、使用中に光を供給するように第1の基板上の一部の空間を占め得る。多くの応用に関して、寸法が極端に厳しく、最も厳しく制約される場合、最適化された撮像センサは、90%以上、第1の基板の表面積のほぼ全部まで覆うことができる。基板に加えられるのではなく、内部に集積基板を有する画素配列を考えることは本開示の範囲内であることに留意されたい。

【0067】

図7には、複数の画素配列を有する撮像センサの一実施形態が示される。図に見られるように、画像センサ700は、第1の画像センサ710および第2の画像センサ711を含むことができ、第1の画像センサ710および第2の画像センサ711は、撮像される対象に対して垂直にまたは他の方法で積み重ねられ得る基板715または複数の基板と電気通信する。一実施形態では、上述したように、支援用回路は、続くまたは支持用基板上に遠隔に設置することができる。そのような構成は、3次元画像キャプチャに望ましいものであり得、2つの画素配列は、使用中にオフセットされ得る。別の実施形態では、第1の画素配列および第2の画素配列は、所定の範囲の波長の電磁放射線を受信することに対して専用にすることができ、第1の画素配列は、第2の画素配列とは異なる範囲の波長の電磁放射線に対して専用にされる。

【0068】

図14および図15には、1つまたは複数の第2の基板または支援用基板1554（図14参照）上に位置する画像センサ1500のための支援用回路1520を用いて、第1の基板1552（図15参照）上の最適化されている画素配列1510からデータを取り出すための一実施形態が示されており、これらは（図14および図15が組み合わせられる）積み重ねられた構成に構成することができる。図に見られるように、画素配列1510は、第1の基板1552上に位置することができ、1つまたは複数の相互接続1521を用いて1つまたは複数の続くまたは支持用基板1554（図14）上に存在できる支援回路1520に電氣的に接続することができる。図14および図15に示される実施形態では、画素配列1510は、複数の画素列1550a～fから構成することができる。画素列1550a～fの各々は、複数の個々の画素から構成することができ、画素列1550a～fは、対応する画素列バス1551を通じて読み出すことができる。画素配列1510全体内に画素列1550当たり1つのリードバス1551が存在し得ることを理解されよう。複数の個々の画素1526は、画素配列1510内の個々の画素1526の位置を示すまたは定める列（y軸）および行（x軸）に形成することができることに留意されたい。

【0069】

図に示されるように、複数の画素列リードバス1551の各々は、図15中の1550a、1550b、1550c、1550d、1550e、および1550fなどの所定または一定の画素列1550のための電氣的接続を与えることができる。そのような一実施形態では、所定または一定の画素列、例えば1550a内の画素1526から集められるデータは、回路列のリードバス1516（図14参照）を介しておよび/または1つまた

10

20

30

40

50

は複数の相互接続 1 5 2 1 を通じて 1 つまたは複数の第 2 の次のまたは支持用基板 1 5 5 4 上に位置する支援回路 1 5 2 0 に伝送することができる。回路 1 5 2 0 は、支持基板 1 5 5 4 の両側に位置することができ、電気の接触は、基板材料に配設され、基板を通じて延びるビアによって容易にされ得る。続く基板 1 5 5 4 は、複数の回路列を備えることができ、各回路列は、複数の回路 1 5 2 0 と、画像センサ 1 5 0 0 内の回路列内の様々な回路 1 5 2 0 を電氣的に接続するバス 1 5 1 6 とを備える。画素列バス 1 5 5 1 を回路列バス 1 5 1 6 に接続するために使用できる相互接続 1 5 2 1 間の間隔が、画素列 1 5 5 0 a ~ f に対して相互接続 1 5 2 1 を交互に配置することによって、図中で増加したことに留意されたい。基板 1 5 5 4 に示される破線は、第 1 の基板 1 5 5 2 上の画素列 1 5 5 0 によって費やされる領域に対応する基板上の領域を示す。

10

#### 【 0 0 7 0 】

一実施形態では、任意の所与の画素列 1 5 5 0 のための支援回路 1 5 2 0 が、第 2 の基板上に位置する対応する領域内に配置される画像センサ 1 5 0 0 を設計することが望ましいものであり得る。一実施形態では、1 つまたは複数の専用支援回路 1 5 2 0 は、画素列または領域 1 5 5 0 ごとに使用することができ、各画素領域 1 5 5 0 a ~ 1 5 5 0 f は、支援回路が専用される画素列 1 5 5 0 a ~ 1 5 5 0 f によって表わされるその所定または一定の画素列内の画素 1 5 2 6 によって生成されるデータだけ処理することに専用される少なくとも 1 つの支援回路 1 5 2 0 を有するようになっていて、留意されたい。例えば、各画素列の領域 1 5 5 0 a ~ 1 5 5 0 f は、関連した画素列 1 5 5 0 内からの関連した画素 1 5 2 6 から読み出されたアナログデータを変換することに専用される専用アナログ・デジタル変換回路を有することができる。この密接および直接に関連した専用回路が使用されて、画像センサ 1 5 0 0 内デジタル信号処理を単純化することができ、それによって画像センサ 1 5 0 0 内のタイミングおよび直列化プロセスを大きく単純化することができる。そのような特徴は、画像センサ 1 5 0 0 内の熱発生およびエネルギー消費を制御するために使用することもできる。

20

主に図 1 6 を参照すると、内部にリードバス構成を有する多重基板の画像センサ 1 6 0 0 が示される。図に見られるように、基板 1 6 5 2 は、画素配列 1 6 1 0 を含むことができ、複数の画素列リードバスを通じて支持基板 1 6 5 4 および 1 6 5 6 に電氣的に接続することができる。画像センサの構造は、1 つまたは複数の続く基板 1 6 5 4 および 1 6 5 6 上に支援回路を設置することによって大いに単純化することができる。続く基板 1 6 5 4 および 1 6 5 6 は、第 1 の基板 1 6 5 2 に近接するが、第 1 の基板 1 6 5 2 の背後にあることができる。支援回路 1 6 2 2 および 1 6 6 3 は、例示されるように、垂直構成で基板を積み重ねることを可能にするために、続く基板 1 6 5 4 および 1 6 5 6 上に配置することができる。貫通基板ビアが使用されて、複数の基板のいずれかを通じて前から後ろへの通信を可能にすることができる。積層時の第 2 の基板 1 6 5 4 は、第 1 の基板 1 6 5 2 上に位置する画素列 1 6 5 0 に対して専用される二次回路であって、それらと電氣的に接続される二次回路を備えることができる。第 3 の基板 1 6 5 4 は、第 2 の基板上の支援回路 1 6 2 2 に対して専用され得る追加のデータ処理回路 1 6 6 3 を備えることができ、第 2 の基板から複数の支援回路からのデータを処理することになっていてもよい。第 3 の基板 1 6 5 6 上の回路 1 6 6 3 は、第 1 の基板 1 6 5 2 上の特定の画素列 1 6 5 0 に対して専用にすることができ、または複数の画素列 1 6 5 0 からのデータの処理に対して専用にすることができ、留意されたい。言い換えれば、第 3 の基板 1 6 5 6 上に位置する回路 1 6 6 3 は、第 2 の基板 1 6 5 4 上の特定の回路 1 6 2 2、または第 1 の基板 1 6 5 2 上の特定の画素列 1 6 5 0 に直接対応することができる。各基板が、全基板上の回路を電氣的に接続する少なくとも 1 つのバスを備えることができることに留意されたい。したがって、基板の各々のバス 1 6 2 3 a ~ 1 6 2 3 c は、基板同士の間配設された相互接続 1 6 2 1 によって、バス 1 6 2 3 a ~ 1 6 2 3 c 間の電氣的接続を引き起こすように重ね合わせることができる。

30

40

#### 【 0 0 7 1 】

図に見られるように、第 1 の基板 1 6 5 2 上に位置する画素 1 6 5 0 の列は、画素列 1

50

650またはバス系統1623a~1623c内の1つまたは複数の戦略的に設けられた相互接続1621の配置によって直接的な画素列の読み出しを通じて1つまたは複数の支持用基板1654、1656上に位置する支援回路に電氣的に接続することができる。画像センサ1600を構成する複数の基板1652、1654および1656の各々はそれぞれ、それ自体のバスまたはバス系統1623a、1623bおよび1623cを備えることができる。したがって、バス1623の各々を共に接続して基板のある層から次の層へのバス骨組み系統1630を形成することが有利であり得る。例えば、本明細書に開示されたように最適化された画素配列1610を備える第1の基板1652は、所定または一定の画素列1650内に位置する相互接続1621と、重ね合わされたバス系統1623の経路に沿ってどこかに位置できる相互接続1621との使用によって、第2の次の基板1654上に存在する支援回路1622に接続することができる。

10

#### 【0072】

例示されるように、第1の相互接続1621aを使用して、第1の画素列1650および画素列バス1623aを第2の基板1654上に位置する第2のバスまたはバス系統1623bおよび支援回路1622に直接接続することができる。一方、第2の相互接続1621bを使用して、第2の基板1654上に存在する第2のバスまたはバス系統1623bを第3の基板1656上に存在する第3のバス1623cに接続することができる。加えて、図16に示されるように、バス骨組み系統1630は、全ての基板がバス骨組み系統1630を通じて電氣的に接続されてしまうまで、第1の基板1652および第2の基板1654を越えて延在することができる。第2の基板1654を第3の基板1656などに延ばして電氣的に接続することができる。第2の基板1654上に位置するバス1623bは、全ての基板が共に電氣的に接続されてしまうまで、第3の基板1656上に位置し得る第3のバス1623cなどに接続することができる。このようにして、所定または一定の画素列1650は、複数の基板上に位置するそれぞれのバス1623a~1623cを通じて、第2の基板1654上に遠隔に存在し得る支援回路1622、または第3の基板1656上に遠隔に存在し得る支援回路1663と電気通信することができる。

20

#### 【0073】

複数の画素を含む列1650を読み出すために、単一の相互接続1621が使用され得るので、相互接続の間隔またはピッチは、画素配列1610の画素ピッチよりかなり大きいものであり得ることに留意されたい。

30

#### 【0074】

使用中、画素配列上の個々の画素によって生成されるデータは、支援用回路によって処理されなければならない。そのようなものとして、各画素1726は、第2の基板1754上の支援用回路1770に電子的に接続されなければならない。理想的には、各画素は、同時に読み出すことができ、それによってグローバルシャッタを生成する。次に、図17aを参照すると、グローバルシャッタとして撮像装置からデータを読み出す能力は、画素1726当たり1つの相互接続1724が存在することを必要とし、これは、バンプピッチを製造公差内とする理由により、実際には実現することがとても難しいことが理解されよう。図17bは、画素1726が列1728に形成された状態を示しており、ただし、バンプピッチの要件は、水平方向のもののみである。約5mmのバンプピッチは、そのサイズの近くの画素に必要とされ、一方、本明細書に開示された3次元積層技術および相互接続の交互配置の利用によって、実際の生産において約20mmから約200mmのバンプピッチを可能にすることができる。したがって、3次元の積層技術も使用するとともに高いフレーム率のローリング式シャッタが、実質的な改善とみなされ得る。ローリングシャッタの場合、画素列1728当たり1つの相互接続/バンプ1724だけが、画素1726当たり1つの相互接続/バンプ1724の代わりに必要とされる。

40

#### 【0075】

図17aは、画素1726当たり1つのバンプ1724を用いたバンプ構成またはバンプ方式を示し、これはグローバルシャッタ動作に似ている。この構成では、バンプピッチは、X軸およびX方向とY軸およびY方向の両方で画素ピッチに等しいまたはほぼ等しい

50

。

## 【0076】

図17bは、画素列1728当たり1つの相互接続/バンプ1724を用いるバンプ構成またはバンプ方式を示す。この構成は、ローリングシャッタ動作に使用することができる。このバンプピッチ構成またはバンプピッチ方式は、垂直方向だけの図17aのバンプピッチに比べてより緩和される。しかし、この構成では、バンプピッチは、画素ピッチと一方向または一次元で少なくとも同じであることがなお必要とされることを留意されたい。図17bは、各列1728が複数の画素1726から構成される複数の列1728を示す。画素の各列は、ある距離にわたってy方向(y軸)に延びることができ、例示されるように幅1画素とすることができる。画素の各列は、各列1728の一端で単一の接続箇所を通じて読み出すことができる。そのような構成は、チップ構造を単純化するが、相互接続は隣り合った相互接続と接触してはならず、それに応じた大きさに作製されなければならないため、画素同士の間隔が、横方向(水平方向)にバンプ(相互接続)ピッチを制限し続けるので、厳しい許容誤差がさらに維持されなければならない。

10

## 【0077】

図17cは、図17aまたは図17bに示されるものよりさらにいっそう緩和されているバンプ構成を示す。この図では、バンプピッチは緩和され、相互接続/バンプ1724の半分は、列1728の交互する対向した端部で第2のセットの相互接続1724を加えるまたは導入することによって、画素配列1710の両側で処理することができる。図17cに見られるように、第2のセットの相互接続は、第1のセットの相互接続と組み合わせ使用されてもよく、データの半分が、画素配列1710の両側で処理または読み出しできるように用いられ得る。そのような構成は、少なくとも1つの次元における画素ピッチに比べて、ほぼ2倍のサイズのバンプピッチ(相互接続)を可能にすることができ、これによって画像センサ1700の生産コストを大きく低下させる。一実施形態では、画素列1728当たり2つ以上の相互接続またはバンプ1724が利用でき、それによってデータは、画素列1728のどちらかの端から読み出すことができる。

20

## 【0078】

図18a~図18fは、基板/チップ上に交互に配置された相互接続またはバンプ1824の配置を有する画素配列1810の実施形態および構成を示す。上述の通り、画素列1828当たり1つのリードバス、および回路列当たり1つのリードバスがあり、リードバスが列の上から列の底に延びるので、相互接続/バンプ1824は、列内のバスの重ね合わされた経路に沿ったどこかで配置することができる。バンプピッチを緩和するために、次の列において(Y方向に)上または下に次の列のバンプ1824をずらすことによって、列から列までのバンプの距離を増大させることができる。

30

## 【0079】

例によれば、画素ピッチは約5mmとすることができる、画素列は任意の長さ、例えば、約2mmから約15mmの間の長さとすることができることを理解されよう。バンプピッチは画素ピッチの関数であり、画素ピッチが理想的なバンプピッチの決定因となるようになっていくことを理解されたい。例えば、約100mmの所望のバンプピッチがあると仮定すると、そのとき、第1の相互接続またはバンプ1824の配置は、第1の列の上部で開始し、次の列の相互接続またはバンプを100mmだけ下にずらすことによって実現することができる。全ての他のバンプは、ラインの20番目の列内の相互接続またはバンプが画素列の底に位置するまで、同様に配置される。その時点で、21番目の列内の相互接続またはバンプが、画素列の上部に再び配置可能である。次いで、この同じパターンが、画素配列の終わりまで繰り返され得る。水平方向に、相互接続またはバンプは、20列×5mm=100mmだけ離され得る。この例では、画素ピッチが約5mmでも、そのとき全部のバンプが100mmより多く離される。次いで、冗長性が、歩留まりのために画素列に導入されてもよい。例えば、全ての列内のバンプは、2倍にすることができる(すなわち、2つのリードバスが、2つの相互接続またはバンプによって取り付けられる)。この技法は、積層の歩留まりをかなり向上させ、プロセス全体のコストを下げる。

40

50

## 【0080】

図18aに見られるように、画素1826の第1の列1828は、第1の相互接続1824aを介して電氣的にアクセスすることができる。本実施形態では、第2の画素列1830は、第2の相互接続1824bを通じて電氣的にアクセスすることができ、第2の相互接続1824bは、前記第1の相互接続1824aに対して交互に配置された構成で製造中に配置されたものである。例示されるように、第2の相互接続1824bの位置または配置は、XとYの両方の次元または方向に第1の相互接続1824aの位置から（および任意の他の相互接続1824から）少なくとも2画素の幅だけ離れることができる。次いで、第3の相互接続1824cが、画素配列1810にわたるN個の相互接続1824について第3の画素列などにおいて同様に配置できる。そのような構成によって画素ピッチの少なくとも3倍のものである相互接続ピッチを与える。相互接続ピッチのゲインは、標準的な条件下の画素ピッチのゲインの3倍よりずっと大きいものであり得ることを理解されよう。しかし、相互接続ピッチのゲインは、上述の画素ピッチの少なくとも3倍であり得ることを理解されよう。

10

## 【0081】

同様に、より大きい相互接続のゲインは、列と列に基づく接続性ではなく、領域に基づいた間隔を用いて作製することができる（画素列のアスペクト比6/1ならびに回路列のアスペクト比6/1（図3mの場合）および3/2（図3nの場合）と、画素列のアスペクト比8/1ならびに回路列のアスペクト比2/4（図3uの場合）とを示す図3m、図3nおよび図3uに関連する図および説明を参照せよ）。これは、より多くのバス構造の追加、または続く基板への直接の読み出しの使用を用いて実現することができる。したがって、いずれの構成でも、相互接続ピッチは、

20

## 【0082】

## 【数1】

$$\text{Interconnect\_Pitch} = \sqrt{(N \cdot \text{Pixel Pitch}_x)^2 + (M \cdot \text{Pixel Pitch}_y)^2}$$

## 【0083】

のように説明することができ、ただし、Nは、X方向の2つの隣接した相互接続の間の画素の個数、およびMは、Y方向の2つの隣接した相互接続の間の画素の個数である。複数の相互接続の各々はバンプとすることができ、バンプからバンプ距離は、幅2画素より大きく、または幅4画素より大きく、または幅8画素より大きいものとすることができることが理解されよう。

30

## 【0084】

多くの応用では、N×X方向の画素ピッチは、M×Y方向の画素ピッチに等しい。図18b～図18fに示されるように、より大きい画素配列1810は、さらなる反復により上記のプロセスを推定することによって対応または設計することができる。図18bは、重ね合わされたシリコン基板のスタックを示す。この図では、画素配列からなる第1の基板1852は、支援回路を含む支持基板1854の上部に重ねられて示される。第1の画素列1881のための支援回路を設置するために利用できる領域は、破線で描かれ、簡潔化および説明のために指示される。回路列の実際の領域は、破線によって表わされないが、画素列の領域より大きい、画素列の領域より小さい、または画素列の領域と同じであり得ることが理解されよう。上述したように、支援回路領域は、それらに対応する画素列の領域と直接相関関係にある。各画素列は、1画素の幅および64画素の長さとしてすることができ、画素列の上から下に延びる1つのリードバスを有することができる。図18bでは、支援回路の配置のために利用できる領域は、1画素単位の幅と64画素単位の長さに等しいものとしてすることができ、これは図中により太い垂直線として示される。したがって、図18b中の基板同士の間の相互接続1824は、この列を読み出すために、64画素単位の領域内のどこかに含まれなければならないが、これは、画素列リードバスおよび列の回路リードバスが、64個の画素の経路に沿って重ね合わされ、それによって相互接続1

40

50

8 2 4 が、リードバスを接続するためにそれらの 6 4 個の画素に沿ってどこかに配置できるからである。

【0085】

また、相互接続は画素列リードバスと支援回路リードバスが重なり合うところだけで生じ得るので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合) 1 画素の幅および 6 4 画素の長さであり、これは、接続される画素列と支援回路の間の交差である。

【0086】

図 1 8 b 中の支援回路領域の例示的なアスペクト比が、 $1/64$ として示されることに留意されたい。この領域内の相互接続 1 8 2 4 を設置または配置するための多くのオプションがあり、次いで設計者によって、相互接続から相互接続まで所望の間隔を可能にするように、最終的な位置を選ぶことができる。例えば、図 1 8 b ~ 図 1 8 f に最も良く示されるように、相互接続またはパンプ 1 8 2 4 が交互に配置された構成である一実施形態では、画素 1 8 2 6 の群当たり 1 つの相互接続またはパンプ 1 8 2 4 が存在できることを理解されよう。

10

【0087】

加えて、様々なリードバス構造が、所望の応用に応じて利用できることに留意されたい。上述したように、より大きい専用支援回路が、各相互接続 1 8 2 4 を通じて読み出すデータを処理するために用いることができる。各相互接続 / パンプ 1 8 2 4 の位置の交互配置は、画素配列内の各領域または画素の群 1 8 1 0 に対して支援回路のためのさらにいっ

20

【0088】

図 1 8 b から図 1 8 f に示されるような多くの最適な交互配置構成は、異なる支援回路のアスペクト比を有する同じベースセンサのために見出されたものであることにも留意されたい。画素列と支援回路の間の交差の範囲内の相互接続の位置、および支援回路の各画素列への割り当てのパターンを変化させることによって、最適な構成を見出すことができる。図 1 8 b から図 1 8 f に示される全ての相互接続は、互いから距離 7 画素より多く離れていることにも留意されたい。

【0089】

図 1 8 c では、支援回路の配置のために利用できる領域は、2 画素単位の幅と 3 2 画素単位の長さに等しいものとすることができ、これは図中により太い垂直線として示される。したがって、基板 1 8 5 2 と基板 1 8 5 4 の間の相互接続は、この列を読み出すために、6 4 画素単位の領域内のどこかに含まなければならない。この例における支援回路領域のアスペクト比が、 $2/32$ であることに留意されたい。各画素列は、1 画素の幅および 6 4 画素の長さであり、または 1 画素の幅および 6 4 画素の長さとする事ができ、画素列の上から下に延びる 1 つのリードバスを有することができる。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合) 1 画素の幅および 3 2 画素の長さとする事ができ、これは、接続される画素列と支援回路の間の交差である。

30

40

【0090】

図 1 8 d では、支援回路の配置のために利用できる領域は、4 画素単位の幅と 1 6 画素単位の長さに等しいものとする事ができ、これは図中により太い垂直線として示される。したがって、基板同士の間相互接続は、対応する画素列を読み出すために、6 4 画素単位の領域内のどこかに含まなければならない。この例における支援回路領域のアスペクト比は  $4/16$  であることに留意されたい。各画素列は、1 画素の幅および 6 4 画素の長さであり、または 1 画素の幅および 6 4 画素の長さとする事ができ、画素列の上から下に延びる 1 つのリードバスを有することができる。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にす

50

るように選ぶことができる。

【0091】

また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合)1画素の幅および16画素の長さとすることができ、これは、接続される画素列と支援回路の間の交差である。

【0092】

図18eでは、支援回路の配置のために利用できる領域は、8画素単位の幅と8画素単位の長さには等しいものとすることができ、これは図中により太い垂直線として示される。したがって、基板1852と1854の間の相互接続1824は、対応する画素列を読み出すために、64画素単位の領域内のどこかに含まなければならない。この例における支援回路領域のアスペクト比は8/8であることに留意されたい。各画素列は、1画素の幅および64画素の長さであり、または1画素の幅および64画素の長さとする事ができ、画素列の上から下に延びる1つのリードバスを有することができる。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。

10

【0093】

また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合)1画素の幅および8画素の長さとする事ができ、これは、接続される画素列と支援回路の間の交差である。

20

【0094】

図18fでは、支援回路の配置のために利用できる領域は、16画素単位の幅と4画素単位の長さには等しいものとする事ができ、これは図中により太い垂直線として示される。したがって、基板同士の間での相互接続は、対応する画素列を読み出すために、64画素単位の領域内のどこかに含まなければならない。この例における支援回路領域のアスペクト比は16/4であり、この例は、本明細書に開示されたこれらの方法および装置が与えることができる可撓性を示すことに留意されたい。各画素列は、1画素の幅および64画素の長さであり、または1画素の幅および64画素の長さとする事ができ、画素列の上から下に延びる1つのリードバスを有することができる。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。

30

【0095】

また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合)1画素の幅および4画素の長さとする事ができ、これは、接続される画素列と支援回路の間の交差である。

【0096】

支援回路と画素列の関連のパターンは、図18bから図18fのパターンとは異なってもよく、最終的に、そのような関連は、互いから離れた相互接続の最適な距離を与えることができることにも留意されたい。例えば、相互接続は、互いから少なくとも2画素の幅だけ離れて、4画素の幅だけ離れて、8画素の幅だけ離れて、またはそれ以上離れて最適に配置することができる。設計者は、(1)1列当たりの画素の個数、ならびに(2)回路のアスペクト比および位置の2自由度に基づいて、相互接続が互いから離れて配置できる距離を最適に決定することができる。図18b~図18fに示される例では、相互接続1824は、互いから約8画素だけ離れて設置することができる。しかし、本開示の精神または範囲から逸脱することなく、他の設計が実施されてもよいことが理解されよう。

40

【0097】

例えば、図18bに示されるように、相互接続の各々1824は、長さを互いから8画

50

素および幅 1 画素だけ離れて設置することができる。回路列はそれぞれ、幅 1 画素および長さ 6 4 画素のアスペクト比を有するので、そこで、相互接続 1 8 2 4 は、図 1 8 b に示されるように、回路 1 8 0 0 の底に到達するまで隣接した列内で互いから 8 画素だけ離れて設置することができ、到達の場合には、次いで、相互接続 1 8 2 4 は、次の列の上部に移動させられ、画素配列 1 8 1 0 の全幅について続く。反対に、図 1 8 f では、相互接続 1 8 2 4 は、互いから長さ 8 画素および幅 1 画素だけ離れてさらに位置する。しかし、この例では、回路列のアスペクト比では、このとき、長さ 4 画素および幅 1 6 画素である。したがって、相互接続 1 8 2 4 が互いから少なくとも 8 画素だけ離れている場合、アスペクト比がたった長さ 4 画素のため、相互接続 1 8 2 4 が最適な間隔を保つように、1 つの回路列 1 8 5 6 b が飛ばされなければならない。したがって、例えば、(第 1 の列 1 8 2 8 の第 1 の画素上の) 図 1 8 f 中の画素配列 1 8 1 0 の左上の隅に相互接続 1 8 2 4 を配置し、次いで、次の画素列 1 8 3 0 へ移動し、長さ 8 画素をカウントダウンし、次いで、次の相互接続 1 8 2 4 が、第 3 の回路列 1 8 5 6 c 内に配置でき、第 2 の回路列 1 8 5 6 b を完全に飛ばす。このパターンは、画素配列の全体にわたって使用することができる。次いで、第 2 の飛ばした回路列 1 8 5 6 b は、9 番目の画素列に配置される相互接続 1 8 2 4 a によって画素配列に接続され、パターンは、全部の飛ばした回路列について繰り返される。このようにして、例示されるように、最適な相互接続間隔が実現でき、様々な回路設計が、本開示の範囲から逸脱することなく考慮することができる。

10

#### 【0098】

図 7 に戻って参照すると、基板 7 1 5 または複数の基板と電気通信する第 1 の画像センサ 7 1 0 および第 2 の画像センサ 7 1 1 に加えて、本明細書中に上述したように交互に配置された相互接続を用いて構成することができる複数の画素配列を有する撮像センサの一実施形態が示されている。そのような構成は、3 次元画像キャプチャに望ましいものであり得、2 つの画素配列は、使用中にオフセットされ得る。別の実施形態では、第 1 の画素配列および第 2 の画素配列は、所定の範囲の波長の電磁放射線を受信することに専用に行うことができ、第 1 の画素配列は、第 2 の画素配列とは異なる範囲の波長の電磁放射線に対して専用に行われる。

20

#### 【0099】

図 1 9 は、第 1 の基板上の画素配列の最適化に関連した設計および検査の手法を示す。撮像センサの製造についての利用できる許容誤差の差を決定するためのステップがあり得る。次いで、設計を行うことができ、パンプピッチはある基準に関して決定することができる。次いで、シミュレートされた試験センサは、試験を受け、読みだされ、必要なら再設計することができる。

30

#### 【0100】

図 2 0 は、所与の画素領域について少なくとも 1 つの専用支援回路を有する一実施形態を示す。複数の専用支援回路 2 0 6 0 a ~ 2 0 6 0 f は、撮像装置 2 0 0 0 に使用することができ、本開示の原理により画素配列 2 0 1 0 に対して積み重ねることができる。画素配列 2 0 1 0 は、複数の画素領域 2 0 5 0 を含むことができる。複数の画素領域、例えば 2 0 5 0 a ~ 2 0 5 0 f などの各々は、専用回路 2 0 6 0 が充てられる所与の所定または一定の画素領域 2 0 5 0 内の複数の画素 2 0 2 6 によって生成されるデータだけを処理することに専用に行われる少なくとも 1 つの支援回路 2 0 6 0 を備えることができる。例えば、各画素領域 2 0 5 0 は、関連した画素領域 2 0 5 0 内から関連した画素 2 0 2 6 により読まれたアナログデータを変換することに専用に行われる専用アナログ・デジタル変換回路を有することができる。この密接および直接に関連した専用回路が使用されて、画像センサ内のデジタル信号処理を単純化することができ、それによって画像センサ内のタイミングおよび直列化プロセスを大きく単純化する。そのような特徴は、画像センサ内の熱発生およびエネルギー消費を制御するために使用することができる。

40

#### 【0101】

図 2 1 には、本開示の原理および教示の拡張性を示す概略的に大きい画像センサが示される。各画素列は、1 画素の幅および 1 2 8 画素の長さである、または 1 画素の幅および

50

128画素の長さであり得る。これは、本開示の教示を表すために一例として選ばれたことに留意されたいが、列の長さに関して任意の個数の画素が可能であり、本開示の範囲から逸脱することなく使用することができることに留意されたい。列の長さに関しての画素の個数は、偶数または奇数とすることができ、2のべき乗である必要はないことにさらに留意されたい。図に見られるように、支援回路の配置のために利用できる領域は、4画素単位の幅と16画素単位の長さに等しいものとすることができ、これは図中により太い垂直線として示される。したがって、基板同士の間の相互接続は、64画素単位の領域内のどこかに含まれなければならない。また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合)1画素の幅および16画素の長さとすることができ、これは、接続される画素列と支援回路の間の交差である。この例における支援回路領域のアスペクトが4/16であることに留意されたい。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。図が示すように、本開示の方法を繰り返すことによって、最新の撮像センサ技術であっても、これらの方法と共に使用することができる。大きい配列構成のためにより柔軟であること(例えば、画素列の並列処理)を可能にするように、任意の所与の画素列のために複数の相互接続(2516および2518)が存在できることにも留意されたい。

10

#### 【0102】

図22には、本開示の原理および教示の拡張性を示す概略的に大きい画像センサが示される。各画素列は、1画素の幅および128画素の長さである、または1画素の幅および128画素の長さであり得る。これは、本開示の教示を表すために一例として選ばれたことに留意されたいが、列の長さに関して任意の個数の画素が可能であり、本開示の範囲から逸脱することなく使用することができることに留意されたい。列の長さに関しての画素の個数は、偶数または奇数とすることができ、2のべき乗である必要はないことにさらに留意されたい。図に見られるように、支援回路の配置のために利用できる領域は、2画素単位の幅と32画素単位の長さに等しいものとすることができ、これは図中により太い垂直線として示される。したがって、基板同士の間の相互接続は、64画素単位の領域内のどこかに含まれなければならない。また、相互接続は画素列リードバスおよび支援回路リードバスが重なり合うところだけで設置できるので、対応する画素列を読み出すために相互接続の範囲は、(この例の場合)1画素の幅および16画素の長さとすることができ、これは、接続される画素列と支援回路の間の交差である。支援回路領域のアスペクト比が、2/32であることに留意されたい。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。図が示すように、本開示の方法を繰り返すことによって、最新の撮像センサ技術でさえ、これらの方法と共に使用することができる。大きい配列構成のためにより柔軟であること(例えば、画素列の並列処理)を可能にするように、任意の所与の画素列のために複数の相互接続(2616および2618)が存在できることにも留意されたい。図21および図22は、同じ画素配列を表しており、2つの図の間の差は、支援回路のアスペクト比が変更されていること(すなわち、図21では4/16のアスペクト比、および図22中では2/32のアスペクト比)だけであることに留意されたい。

20

30

40

#### 【0103】

次に、図23を参照すると、列およびサブ列を有する画素配列2310が述べられる。図23に見られるように、内部に6列を有する画素配列2310の一部が示されており、各列は、例示された画素配列の部分の上部から画素配列の底部へ延びる。今日の回路2300は、画素配列2310を有し、画素配列2310は、配列2310を形成するさらに多くの画素の列(複数の画素は図中Y方向に延びる)、および行(複数の画素は図中X軸方向に延びる)を含むことが理解されよう。限られた数の画素列および行のみが、例示のため、および説明および簡潔化のために本明細書に示される。

#### 【0104】

50

画素配列 2 3 1 0 中の画素列 2 3 2 8 の各々は、サブ列に分割することができる。サブ列は、画素の列全体より少ない列内の、画素サブ列バスに電氣的に接続される複数の画素として定義することができる。したがって、画素列 2 3 2 8 当たり複数の画素サブ列が存在することができる。サブ列の各々は、2 3 5 1、2 3 5 2、2 3 5 3、および 2 3 5 4 に示されるコンタクトパッドおよび / または相互接続を有して、第 1 の基板上のサブ列バスの各々を支持用基板上に位置する関連したまたは対応する回路列バスに電氣的に接続することができる。

#### 【 0 1 0 5 】

少なくとも 1 つの画素列バスが、列 2 3 2 8 内の画素ごとに電氣的接続を行うために使用することができる。列 2 3 2 8 は、複数のサブ列に分割でき、ただし少なくとも 1 つの画素サブ列バスが、画素サブ列ごとに存在する。サブ列バスは、ディバイダ 2 3 6 2、2 3 6 3、2 3 6 4 によって差別化でき、このディバイダは、物理的空間または空所、あるいは画素サブ列および / またはサブ列バスを別のサブ列および / またはサブ列バスから電氣的に絶縁するための他の装置であり得る。使用中に、画素からのデータは、ローリング式シャッタ方式で読み出すことができ、これは ( 図 2 3 中の 4 つのサブ列として示される ) サブ列の各々の中の画素の各行からほぼ同時である。そのような構成では、読み出し時間は、画素サブ列リードバスおよび回路列のリードバスならびにバス同士を共に電氣的に接続する相互接続を介して専用回路列に接続されるサブ列の個数により実質的に減少させることができる。したがって、例示の本実施形態における読み出し時間は、サブ列バスの個数によって ( 図 2 3 中において 4 つのサブ列を含む ) 列全体について理論上減少させることができる ( すなわち、読み出し速度が増加する )。図 2 3 には、4 つのサブ列およびサブ列バスがあり、読み出し時間が 7 5 パーセント減少するようになっている ( 速度が 4 倍増加する )。サブ列の個数または構成に関係なく、ローリングシャッタは、行ずつで動作し、各サブ列の初めにサブ列内の各画素を徐々に読み出し、サブ列の終わりまで他のサブ列と同時に読み出す ( 2 3 5 1、2 3 5 2、2 3 5 3、2 3 5 4 に位置する画素の行から画素の行を同時に読み出す ) ことができることを理解されよう。

#### 【 0 1 0 6 】

他の実施形態では、列は、任意の個数のサブ列に分割ことができ、列の各部分 ( 例えば、サブ列の追加 ) は、グローバルシャッタ機能に似ている。図に見られるように、コンタクトパッドおよび相互接続の位置は、列ごとに交互に配置することができる。例示されるように、「 A 」と表示された列からの相互接続は、「 B 」と表示された列における相互接続と異なる。サブ列の他の反復および相互接続の交互配置が、 N 個の列に可能である。

#### 【 0 1 0 7 】

次に、図 2 4 から図 2 6 c を参照すると、サブ列読み出し機能および遠隔に設置された支援回路を有する複数の基板上に構築された撮像センサ 2 4 0 0 の一実施形態の様々な図が示されている。図 2 4 および図 2 6 は、第 1 の基板 2 4 1 0、2 6 1 0 上の画素配列 2 4 5 0 および 2 6 5 0、ならびに第 2 の基板 2 4 1 1、2 6 1 1 上の ( 支援用回路 2 4 7 0、2 6 7 0 を表す ) 複数の回路列 2 4 5 6、2 6 5 6 を形成する複数の画素列 2 4 5 2 および 2 6 5 2 を示す。

#### 【 0 1 0 8 】

図 2 4 ~ 図 2 4 c に示されるように、画素配列 2 4 5 0 は、複数の列およびサブ列 2 4 5 2 に分割することができる。例えば、列およびサブ列のサイズは、関連した回路 2 4 7 0 および回路列 2 4 5 6 のサイズに基づくことができる。例えば、画素サブ列 2 4 5 2 は、1 画素の幅および「 N 」個の画素の長さとして示され ( 図 2 4 ~ 図 2 4 c 中、画素サブ列は、1 画素の幅および 6 画素の長さであるものとして示される )、回路列 2 4 5 6 は、1 画素の幅と 6 画素の長さのアスペクト比を有するものとして示される。画素サブ列 2 4 5 2 が、回路列 2 4 5 6 とほぼ同じ領域を有するべきであるので、回路列 2 4 5 6 のサイズまたは領域は、画素サブ列 2 4 5 2 のサイズを指示できるまたはそのサイズに方向付けできることを理解されよう。画素サブ列 2 4 5 2 は、画素リードバス 2 4 3 0 を回路

10

20

30

40

50

リードバス 2 4 4 0 に電氣的に接続する相互接続 2 4 2 4 間の電氣的接続を介して回路列 2 4 5 6 と直接関連することができる。これらの図は、リードバス 2 4 3 0 および 2 4 4 0 を介しての各画素サブ列 2 4 5 2 と回路列 2 4 5 6 内のその関連した回路 2 4 7 0 との間の接続の一例を示す。

【 0 1 0 9 】

これらの図は、画素サブ列 2 4 5 2 当たり 1 つのリードバス 2 4 3 0、および回路列 2 4 5 6 当たり 1 つのリードバス 2 4 4 0 も示す。この実施形態では、回路列 2 4 5 6 内の関連した回路 2 4 7 0 は、1 画素の幅および 6 画素の長さであるが、任意の回路列のアスペクト比が本開示によって利用されてもよいことが理解されよう。図 2 4 ~ 図 2 4 c に見られるように、列は全て、2 つのサブ列 2 4 8 7、2 4 8 8 に分割されている。

したがって、画素列リードバス 2 4 3 0 は、対応する画素サブ列リードバス 2 4 3 0 a および 2 4 3 0 b に製造することができる。各画素サブ列 2 4 8 7、2 4 8 8 は、まず画素列バス 2 4 3 0 a または 2 4 3 0 b に接続され、次いで支援用回路 2 4 7 0 および回路列 2 4 5 6 に接続することができる。または各サブ列 2 4 8 7、2 4 8 8 はそれぞれ、関連した回路バス 2 4 4 0 a および 2 4 4 0 b へのそれら自体の相互接続 2 4 2 4 a および 2 4 2 4 b を介して、回路 2 4 7 0 および回路列 2 4 5 6 に直接接続することができる。

【 0 1 1 0 】

本明細書に上述のように、各画素サブ列 3 4 5 2 は、1 つの画素サブ列バス 2 4 3 0 に電氣的に関連または接続することができる。各回路列 2 4 5 6 は、1 つの画素列バス 2 4 4 0 に電氣的に関連または接続することができる。図 2 4 a ~ 図 2 4 c は、図 2 4 に示される複数の画素列 2 4 5 2 および複数の回路列 2 4 5 6 から分離したサブ列 2 4 8 7、2 4 8 8 に分割された単一の画素列 2 4 5 2 および 2 つの関連した回路列 2 4 5 6 のそれぞれの斜視図、正面図および側面図を示す。図 2 4 a ~ 図 2 4 c に示されるように、画素列ごとに 2 つのリードバス 2 4 3 0 a、2 4 3 0 b があり、これによって列を 2 つのサブ列に分ける。2 つの支援用回路は、画素サブ列のリードバス当たり 1 つの支援回路を含む。この構成では、回路列のアスペクト比は 6 / 1 であり、画素サブ列のアスペクト比も 6 / 1 であり、画素列全体のアスペクト比は 1 2 / 1 である。

【 0 1 1 1 】

図 2 4 a ~ 図 2 4 c は、サブ列接続当たり 1 つまたは複数の相互接続 2 4 2 4 を用いて、画素サブ列 2 4 8 7、2 4 8 8 の画素サブ列バス 2 4 3 0 a および 2 4 3 0 b と回路列 2 4 5 6 の間の電氣的接続もさらに示す。画素サブバス 2 4 3 0 a および 2 4 3 0 b、ならびにバス 2 4 4 0 a および 2 4 4 0 b は、1 つまたは複数の相互接続 2 4 2 4 を用いて電氣的に接続することができるが、これらの図は、本開示の精神または範囲から逸脱することなく、相互接続 2 4 2 4 が、画素サブバス 2 4 3 0 a および 2 4 3 0 b ならびにバス 2 4 4 0 の重ね合わされた経路に沿ってどこかに設置できることを示す。

【 0 1 1 2 】

図 2 5 および図 2 5 a は、画素列が複数のサブ列に分割され、それぞれがサブ列自体のバスを有する代替の実施形態を示す。ただし、サブ列は、単一の回路列へのそれらの個々のバスによって接続されるものとして示される。

【 0 1 1 3 】

図 2 4 ~ 図 2 4 c と同様に、図 2 6 ~ 図 2 6 c は、画素配列 2 6 5 0 が複数の列およびサブ列 2 6 5 2 に分割されていることを示す。列およびサブ列のサイズは、例えば、関連した回路 2 6 7 0 および回路列 2 6 5 6 のサイズの基づくことができる。例えば、画素サブ列 2 6 5 2 は、1 画素の幅および「N」個の画素の長さとして示されることができ（図 2 6 ~ 図 2 6 c では、画素サブ列は、1 画素の幅および 6 画素の長さであるとして示されるのに対して、列全体は、1 画素の幅および 1 2 画素の長さとして示される）、回路列 2 6 5 6 は、2 画素の幅と 3 画素の長さのアスペクト比を有するように示される。画素サブ列 2 6 5 2 が、回路列 2 6 5 6 とほぼ同じ領域を有するべきであるので、回路列 2 6 5 6 のサイズまたは領域は、画素サブ列 2 6 5 2 のサイズを指示できるまたはそのサイズに方向付けできることを理解されよう。画素サブ列 2 6 5 2 は、画素リードバス 2 6 3 0 を回路リードバス

10

20

30

40

50

2640に電氣的に接続する相互接続2624間の電氣的接続を介して回路列2656と直接関連することができる。これらの図は、リードバス2630および2640を介しての各画素サブ列2652と回路列2656内のその関連した回路2670との間の接続の一例を示す。

#### 【0114】

これらの図は、画素サブ列2652当たり1つのリードバス2630、および回路列2656当たり1つのリードバス2640も示す。この実施形態では、回路列2656内の関連した回路2670は、2画素の幅および3画素の長さであるが、任意の回路列のアスペクト比が本開示によって利用されてもよいことが理解されよう。図26～図26cに見られるように、列は全て、2つのサブ列2687、2688に分割されている。

したがって、画素列リードバス2630は、対応する画素サブ列リードバス2630aおよび2630bに製造することができる。各画素サブ列2687、2688は、まず画素列バス2630aまたは2630bに接続され、次いで支援用回路2670および回路列2656に接続することができる。または各サブ列2687、2688はそれぞれ、関連した回路バス2640aおよび2640bへのそれら自体の相互接続2624aおよび2624bを介して、回路2670および回路列2656に直接接続することができる。

#### 【0115】

本明細書に上述のように、各画素サブ列2652は、1つの画素サブ列バス2630に電氣的に関連または接続することができる。各回路列2656は、1つの画素列バス2640に電氣的に関連または接続することができる。図26a～図26cは、図26に示される複数の画素列2652および複数の回路列2656から分離したサブ列2687、2688に分割された単一の画素列2652および2つの関連した回路列2656のそれぞれの斜視図、正面図および側面図を示す。図26a～図26cに示されるように、画素列全体に対して2つのリードバスが存在する。しかし、例示されるように、2つのリードバス2630a、2630bの割合は、互いに電氣的に接続されない別個のおよび異なるバスとして示され、列を2つのサブ列に分離する(図11との関連で上述したような)セパレーションまたディバイダが存在するようになっている。

したがって、2つの支援用回路および回路列のリードバス(画素サブ列リードバス当たり1つの支援回路および回路列バス)もあり、この構成では、回路列のアスペクト比は3/2、画素サブ列のアスペクト比はやはり6/1、および画素列全体のアスペクト比が12/1である。

#### 【0116】

図26a～図26cは、サブ列接続当たり1つまたは複数の相互接続2624を用いた、画素サブ列2687、2688の画素サブ列バス2630aおよび2630bと回路列2656の間の電氣的接続をさらに示す。画素サブバス2630aおよび2630b、ならびに回路列バス2640aおよび2640bは、1つまたは複数の相互接続2624を用いて電氣的に接続することができるが、これらの図は、本開示の精神または範囲から逸脱することなく、相互接続2624が、画素サブバス2630aおよび2630bならびに回路列バス2640の重ね合わされた経路に沿ってどこかに設置できることを示す。

#### 【0117】

図26～図26cは、基板同士の間異なるアスペクト比が、バスの接触箇所においてどのように柔軟性を与えることができるのかについても示す。本実施形態では、列の回路バス2640は、回路列2656の領域をより均一に占めるように概して任意の形状のもので設計し、それによって回路列2656全体にわたって相互接続2624を接続するためのオプションを与えている。画素列バス2630はほぼU形ではないが、回路列バス2640はほぼU形とすることができ、そのため同じ列の回路2656は、2つの隣接している異なる画素列の構成と共に使用することができることに留意されたい。(図26aに示されるように)U形の回路列バス2640aおよび2640bの第1の脚は、画素サブ列2687および2688のリードバス2630aおよび2630bに重ね合わすことができる。(図26に最も良く示されるように)回路列バス2640aと2640bの間

10

20

30

40

50

に位置するU形の回路列バス2642の第2の脚は、次の隣接した画素列2652のリードバス2630に重ね合わせることができる。図26a～図26cは、図26の画素配列2650からとった単一セットの画素サブ列2687および2688を示す。回路列2656のアスペクト比は、2画素の幅と（対応する画素サブ列2687および2688の半分の長さである）3画素の長さとして示されるので、相互接続2624の位置のオプションは、画素サブ列の長さの一部に単に利用できるだけであることに留意されたい。

【0118】

図26bは、複雑なバス形状の場合、それが支持する画素サブ列2687および2688の2倍の幅を有する回路列2656内のバス2640aおよび2640bに沿って2つの相互接続位置経路のオプションが存在し得ることを示す。図26bは、U形の回路列バス2640bの第1の脚と画素サブ列2688のリードバス2630bの重ね合わせの正面図を示し、相互接続2624を次の隣接した画素列2652に設置するために図26および図26aに示されるようにバス2640bの最内部分を使用するのは対照的に、相互接続2624を設置するためにバス2640bの最外部分を使用する。

10

【0119】

図26は、図26a～図26cに示される画素サブ列2687および2688に対してその左に設置される次の画素サブ列2652を示す。図26に示される次の画素サブ列2652のバス2630は、例示されるように、回路バス2640aと2640bの間に設置できる異なる回路バス2642に電氣的に接続することができる。回路列2656の実装面積は2画素の幅と3画素の長さのアスペクト比を有するので、画素サブ列バス2630と回路列バス2642の重ね合わせは、回路列バス2642の第2の脚がほぼU形であることを必要とし、それによって図26に示される（サブ列2687に対して）次の画素サブ列2652およびその対応するバスに対してバス2642の自然な整合または重ね合わせを可能にすることに留意されたい。

20

【0120】

図27は、基板/チップ上に交互に配置された相互接続またはバンプ2724の配置およびサブ列を有する画素配列1810の一実施形態および構成を示す。上述の通り、画素列2728（またはサブ列）当たり1つのリードバス、および回路列当たり1つのリードバスがあり、リードバスが列の上から列の底に延び、画素列をサブ列に分割ことができ、それぞれがそれら自体の画素列バスを有するので、相互接続/バンプ2724は、サブ列バスと回路列バスの重ね合わされた経路に沿ったどこかに配置することができる。この図では、物理的空間または空所、あるいは画素サブ列および/またはサブ列バスを別のサブ列および/またはサブ列バスから電氣的に絶縁するためのいくつかの他の装置であり得るディバイダ2766が、画素列バスを画素サブ列バスに分割する。

30

【0121】

図27に見られるように、画素2726の第1のサブ列2728aは、バス2730および2740に接続される第1の相互接続2724aを介してその対応する回路列2756に電氣的に接続することができる。同様のやり方で、第2のサブ列2728bは、第2の相互接続2724bによって電氣的に接続することができる。本実施形態では、第2の画素列は、第2のセットのサブ列の相互接続を通じて電氣的にアクセスすることができ、第2のセットのサブ列の相互接続は、前記第1の列の相互接続に対してサブ列の構成で製造中に配置されたものである。例示されるように、第2の相互接続の位置または配置は、XとYの両方の次元または方向に第1の相互接続の位置から2画素の幅だけ離れることができる。次いで、第3のセットの相互接続が、画素配列2710にわたるN個の相互接続のセットについての第3の画素列などにおいて同様に配置できる。

40

【0122】

図28は、各列が2つのサブ列に分割され、次いで交互に配置されるように構成される画素配列を示す。第1の画素列2881のための支援回路を設置するために利用できる領域は、上記のような画素サブ列の構成と相関関係にある。さらに上述されたように、支援回路の領域は、それが対応する画素列の領域と直接相関関係がある。図28では、支援回

50

路の配置のために利用できる領域は、1画素単位の幅と64画素単位の長さに等しくすることができ、これは図中により太い垂直線として示される。加えて、各回路列は、サブ列のうちの1つと相関関係にあり得、または代替では、回路列は、画素列に対応する形でもあり得る。

【0123】

図28中の支援回路の領域の例示的なアスペクト比が、 $1/64$ として示されることに留意されたい。この領域内のサブ列のための相互接続を設置または配置するための多くのオプションがあり、次いで設計者によって、相互接続から相互接続まで所望の間隔を可能にするように、最終的な位置を選ぶことができる。

【0124】

図29には、本開示の原理および教示の拡張性を示す概略的に大きい画像センサが示される。図に見られるように、支援回路の配置のために利用できる領域は、4画素単位の幅と16画素単位の長さに等しいものとして示され、これは図中により太い垂直線として示される。例示されるように、画素サブ列を示す画素列当たり複数個の相互接続2916および2918が存在でき、大きい配列構成のためのいっそうのサブ列の機能を可能にするようになっている。したがって、基板同士の間相互接続は、対応する画素列を読み出すために、サブ列の画素の単位領域内のどこかに含まなければならない。この例における支援回路領域のアスペクト比は $4/16$ であり、サブ列のアスペクト比は $1/64$ であり、画素列は $1/128$ であることに留意されたい。したがって、画素列当たり複数の画素サブ列がある。この例では、フレーム読み出し時間(1ローリング周期)は、この配列が分割されない場合になるもののフレーム読み出し時間の半分である。同時に対応する2つの行がある。画素配列全体は、2つの独立した首尾一貫したサブ配列とみなすことができる。実施形態におけるそのようなものは、画素サブ列に直接対応する支援回路に役立つ。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。図が示すように、本開示の方法を繰り返すことによって、最新の撮像センサ技術であっても、これらの方法と共に使用することができる。

【0125】

図30には、本開示の原理および教示の拡張性を示す概略的に大きい画像センサが示される。1列当たりの複数の相互接続3016、3018は、画素列がサブ列に分割されたことを示す。図に見られるように、画素サブ列のための支援回路の配置のために利用できる領域は、2画素単位の幅と32画素単位の長さに等しいものとして示され、これは図中により太い垂直線として示される。したがって、基板同士の間相互接続は、対応する画素サブ列を読み出すために、64画素単位の領域内のどこかになければならない。支援回路領域のアスペクト比が $2/32$ であることに留意されたい。相互接続を配置する場所の選択は、この領域内で多くのオプションがあり、相互接続から相互接続まで所望の間隔を可能にするように選ぶことができる。図が示すように、本開示の方法を繰り返すことによって、最新の撮像センサ技術でさえ、これらの方法と共に使用することができる。

【0126】

次に、図31を参照すると、管腔内に配設される画像センサ3310を有する内視鏡3300の一実施形態が説明される。図に見られるように、内視鏡3300は、管腔3305および取っ手部分3315を備えることができる。管腔3305の先端の部分3320は、断面図のさらなる説明の中で示されることを詳述した。管腔3305の最遠位端にある管腔の内壁内には、外側レンズ3328または内視鏡の上部を封止する封止部がある。いくつかの実施形態では、プリズムおよび他のレンズなどの追加の光学要素が存在することもできる。適切に構成された画像センサ3310も、管腔の先端の近くに配設される。

【0127】

図32aおよび図32bは、内視鏡の管腔内に配設される画像センサ上の画素配列の最大化を示す。図32aは、内視鏡の管腔3404の内壁によって形成される境界内に配設されるモノリシック型画像センサ3412を示す。典型的には、管腔の内径は、医療目的

10

20

30

40

50

の場合、1 mmから12 mmの範囲であり得る。画像センサ3412は、支援回路3418によって囲まれる画素配列3415を示す。図に見られるように、画素配列は、他の回路によってサイズがとても限定される。図32bは、上述したように、支援回路が第2の基板上の画素配列の背後に設置される場合、画素配列に利用できる基板空間を示す。

#### 【0128】

図33a、図33b、図33cは、内視鏡および回路が積み重ねられ得る秩序の様々な実施形態を示す。図33aは、基板層がアナログ・デジタル変換器、次いでRF電源収穫回路、および最終的に増幅回路を備える前に画素配列が積み重ねられた一実施形態を示す。図に見られるように、管腔3505の遠位端には、封止部3507またはレンズがある。角度が付けられた内視鏡では、プリズム3509も、管腔3505内に配設することができる。二次レンズ3512が、画素配列3515の直前に存在し得る。アナログ・デジタル変換器3518またはRF電源収穫回路3520は、画素配列3515に隣接して存在することができる。増幅器回路3522は、二次処理3525前に信号を強化するために用いることができる。残りの処理は、空間がそれほど狭くない場合、システム内でさらに進めることができる。別の実施形態(図33b)では、増幅回路3522が、画素配列3515の隣に配置されると共に、残りの信号処理が、下流でさらに行われる。図33cは、最大化された画素配列3515だけが内視鏡の管腔3505内に配設され、全ての他のプロセスは遠隔で行われる一実施形態を示す。第1の基板上の最適化された画素配列を少なくとも有する内視鏡の任意の実施形態は、本出願の範囲内にあると考えられることを留意されたい。

10

20

#### 【0129】

図34は、内視鏡の管腔3601内に配設される画像センサ内の2つの基板の詳細図を示す。図に見られるように、第1の基板3602は、上述したように画素列3608に形成された複数の画素を備える画素配列3606を有する。加えて、第2の基板3610が、回路列3616に形成された支援回路をその上を含み、回路列3616は、それらに対応する画素列3608に対応することが図中に見られる。各画素列3608は、画素列バス3609を有し、それぞれは第1の基板3602上の画素列バスであり、第1の基板3602上の画素列バスは、第2の基板3610上の回路列バス3622に重ね合わされ、上述したように、2つのバスが2つの基板の間に配設された相互接続3321を介して電気接触することに留意されたい。その管腔に配設された画像センサは、上述したようにサブ列バスを用いて構成することができると共に、上述したように相互接続を交互に配置することができる。上記の技術の各々は内視鏡撮像装置と共に使用できることが、本開示によって意図される。

30

#### 【0130】

本明細書に開示された構造および機器は、撮像センサを最適化するための例示に過ぎないことが理解され、本明細書に開示されたものと同じ働きをするまたはそれと均等である3次元積層技術を用い、積層中で基板間の相互接続を交互に配置することによって画像センサ上の画素配列を最適化する任意の構造、機器またはシステムは、現在知られているまたは将来利用できることになる可能性のある撮像のための構造、機器またはシステムを含めて、本開示の範囲内に含まれることが意図されることを理解されたい。3次元積層技術を用い、積層中で基板間の相互接続を交互に配置することによって画像センサ上の画素配列を最適化する手段と同じ働きをするものまたはそれと均等であるものは、本開示の範囲内に含まれる。

40

#### 【0131】

当業者は、本開示の特徴によって与えられる利点を理解されよう。例えば、設計および製造が簡単である撮像センサ上の最適化された画素配列を提供することは本開示の潜在的な特徴である。本開示の別の潜在的な特徴は、全体サイズに対してより大きい画素を備えるそのような撮像センサを提供することである。別の潜在的な特徴は、3次元積層技術を用い、積層内で基板間の相互接続を交互に配置することによって最適化された画像センサ上の画素配列を提供することである。

50

【 0 1 3 2 】

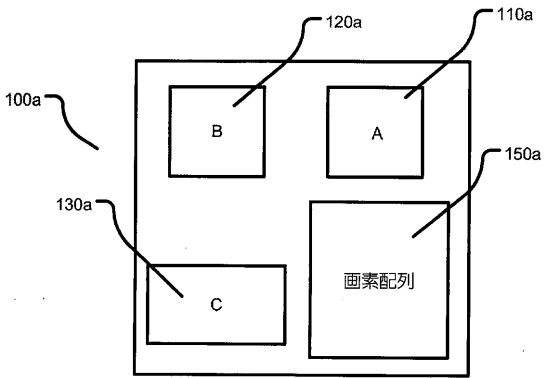
前述の詳細な説明では、本開示の様々な特徴は、本開示を簡素化するために単一の実施形態にまとめられ、または異なる実施形態で述べられる。この開示方法は、特許請求の範囲に記載された開示が各請求項に明示的に挙げられるものより多くの特徴を必要とする意図を反映するものとして解釈されるべきではない。むしろ、添付の特許請求の範囲を反映するとき、発明の態様は、単一の前述の開示した実施形態の全部の特徴より少ないものであり、別個の実施形態に開示された様々な発明の特徴は、以下により完全に特許請求の範囲に記載されるようにそれ自体の実施形態を形成するように組み合わせることができる。したがって、添付の特許請求の範囲は、本参照により本詳細な説明にここに組み込まれ、各請求項は、本開示の別個の実施形態としてそれ自体に基づくものである。

10

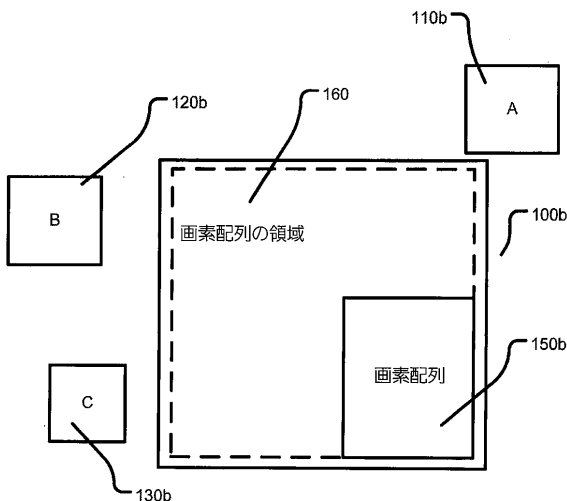
【 0 1 3 3 】

上記の構成は、本開示の原理の応用の例示に過ぎないことを理解されたい。多数の修正形態および代替構成が、本開示の精神および範囲から逸脱することなく当業者によって考案される可能性があり、添付の特許請求の範囲は、そのような修正形態および構成を含むものである。したがって、本開示は、図面に示され、具体的および詳細に上述されてきたが、限定するものではないが、サイズ、材料、形状、形態、機能および動作方法、組立ならびに使用の変更が含まれる多数の修正形態が、本明細書に説明した原理および概念から逸脱することなくなされ得ることは当業者には明らかであろう。

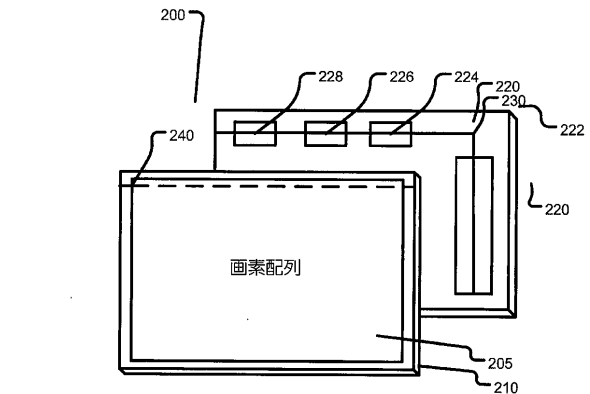
【 図 1 a 】



【 図 1 b 】



【 図 2 】



【 図 3 a 】

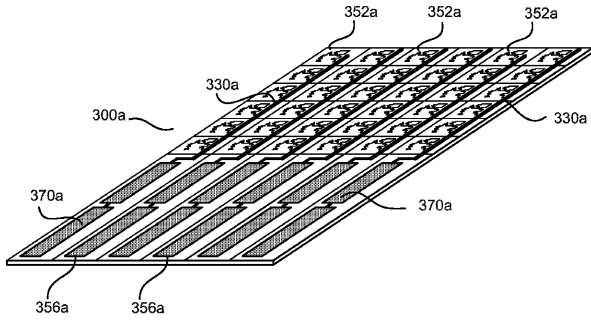


FIG. 3a

【 図 3 b 】

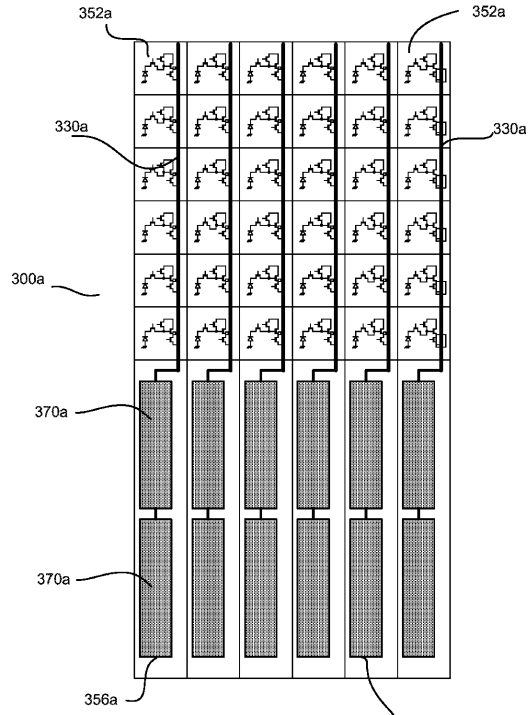


FIG. 3b

【 図 3 c 】

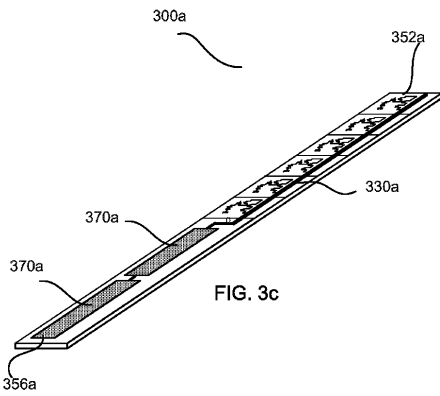


FIG. 3c

【 図 3 d 】

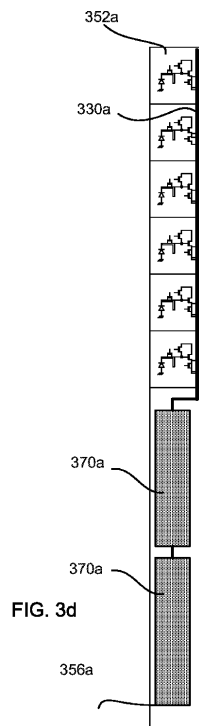


FIG. 3d

【 図 3 e 】

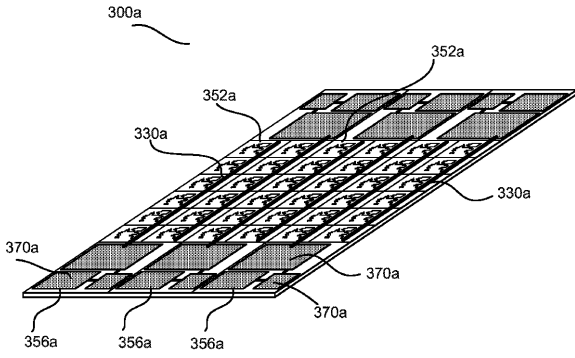


FIG. 3e

【 図 3 f 】

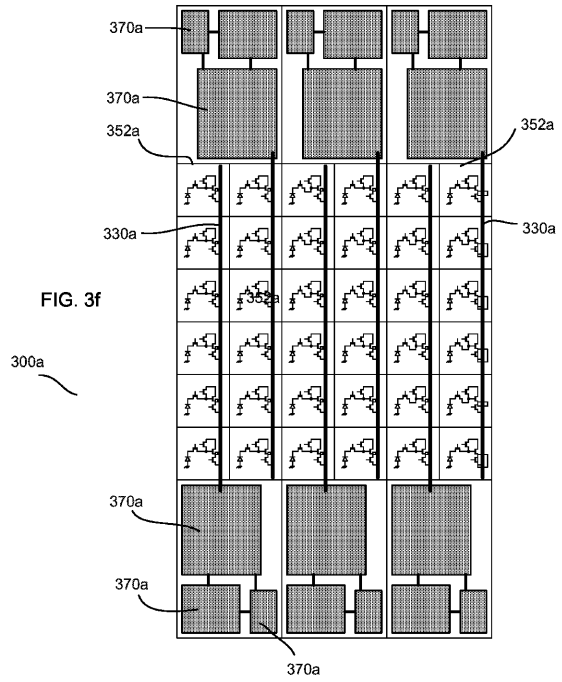


FIG. 3f

【 図 3 g 】

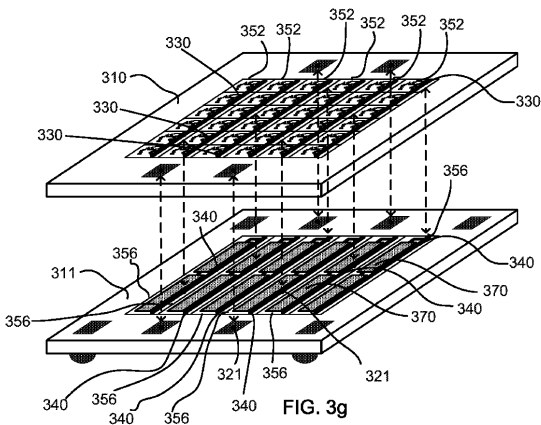


FIG. 3g

【 図 3 i 】

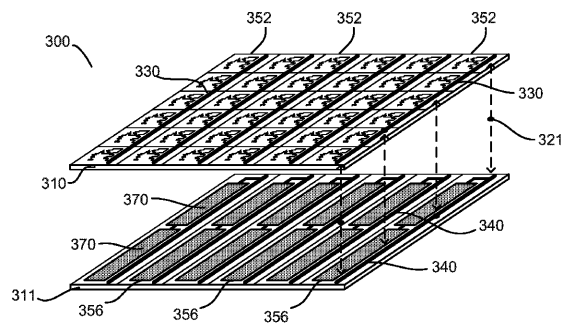


FIG. 3i

【 図 3 h 】

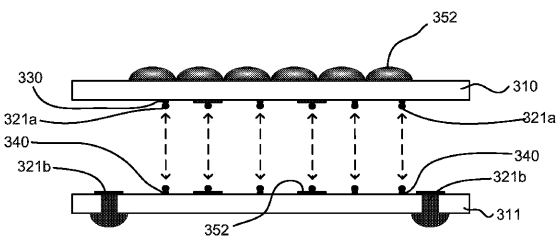


FIG. 3h

【 図 3 j 】

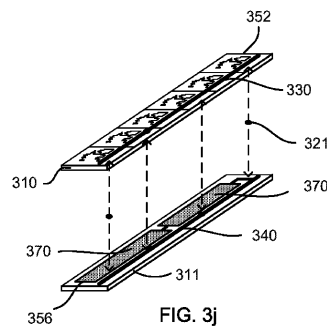


FIG. 3j

【 図 3 k 】

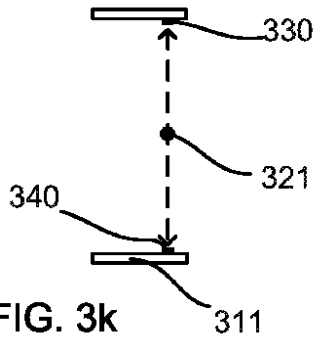


FIG. 3k

【 図 3 m 】

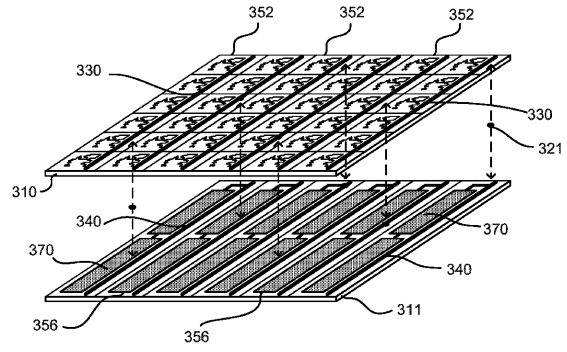


FIG. 3m

【 図 3 l 】

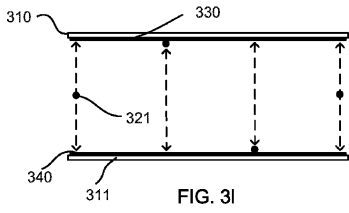


FIG. 3l

【 図 3 n 】

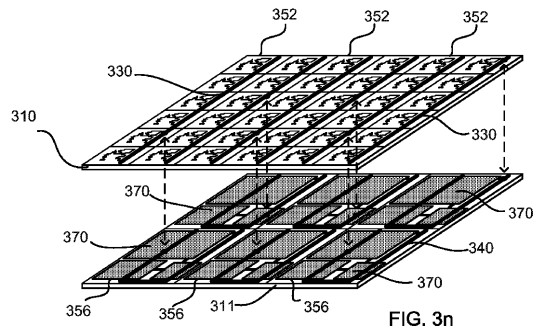


FIG. 3n

【 図 3 o 】

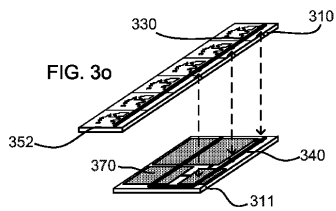


FIG. 3o

【 図 3 q 】

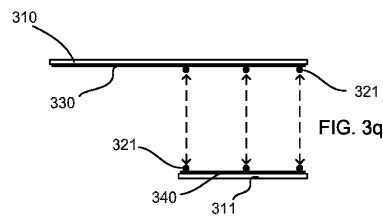


FIG. 3q

【 図 3 p 】

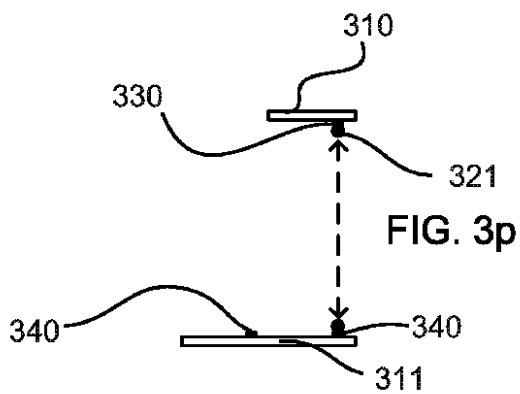


FIG. 3p

【 図 3 r 】

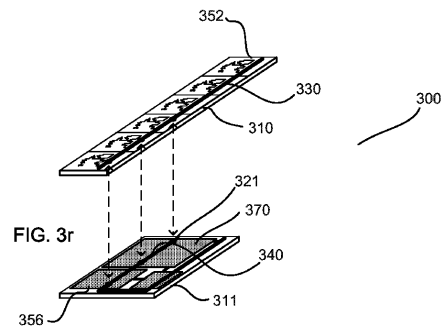


FIG. 3r

【 図 3 s 】

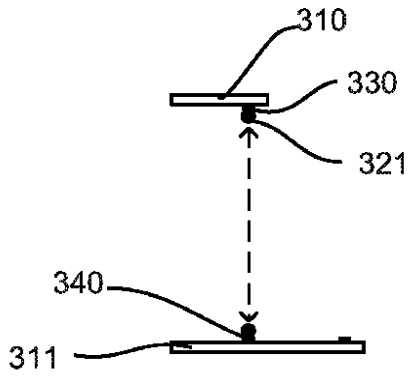


FIG. 3s

【 図 3 t 】

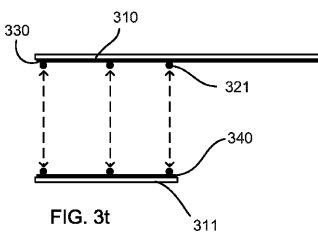


FIG. 3t

【 図 3 u 】

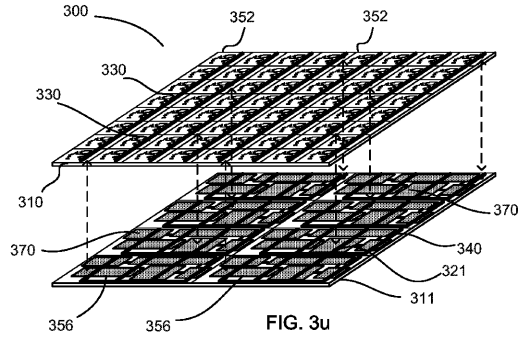


FIG. 3u

【 図 3 v 】

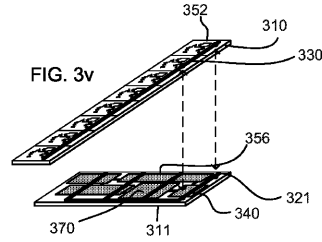


FIG. 3v

【 図 3 w 】

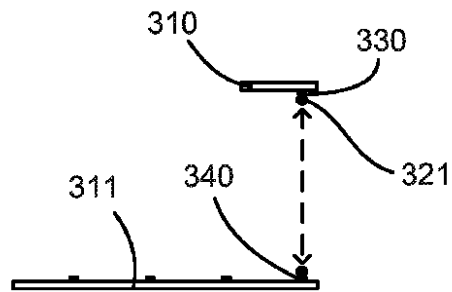


FIG. 3w

【 図 3 z 】

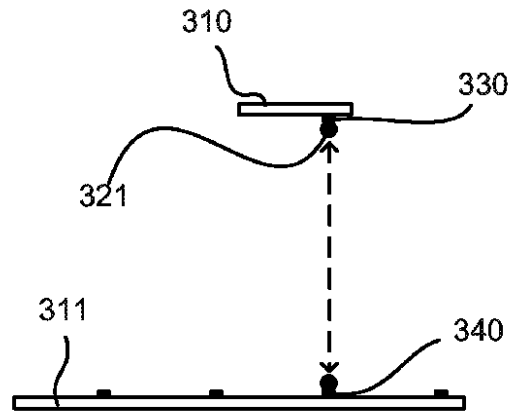


FIG. 3z

【 図 3 x 】

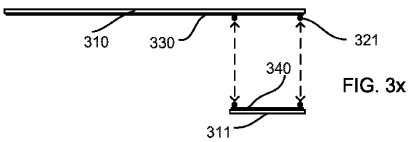


FIG. 3x

【 図 3 y 】

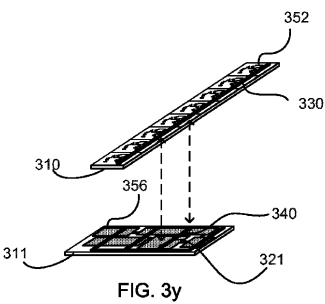


FIG. 3y

【 図 3 a a 】

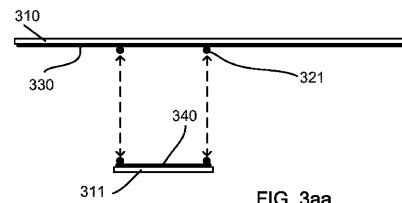
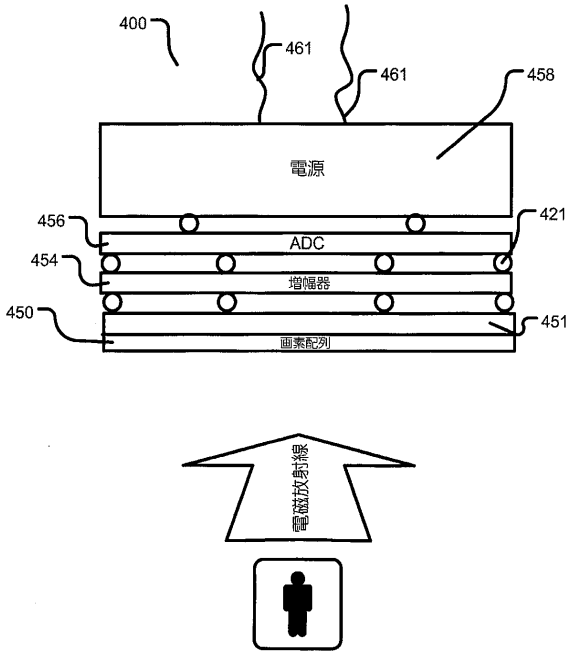
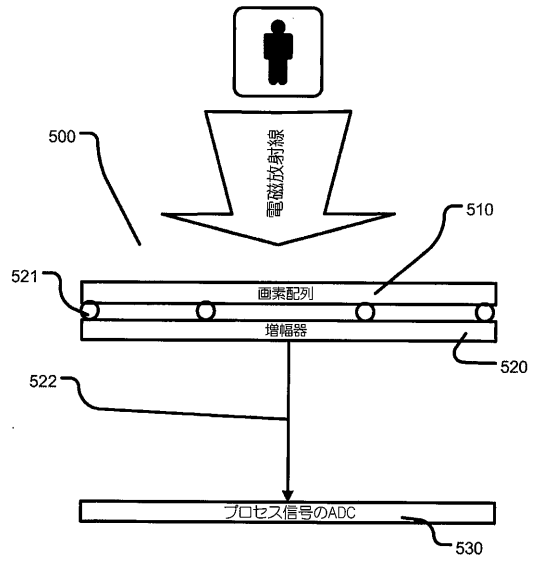


FIG. 3aa

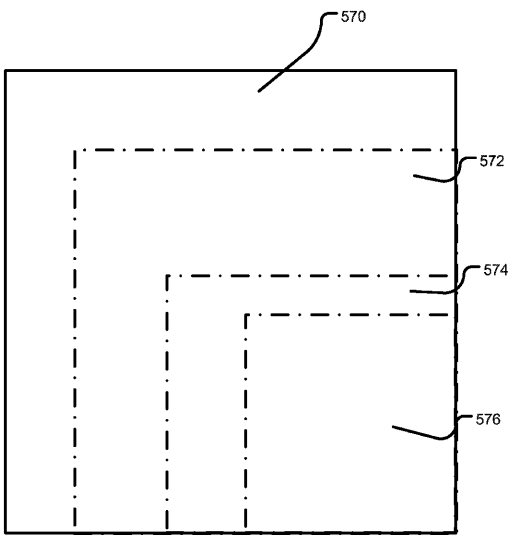
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

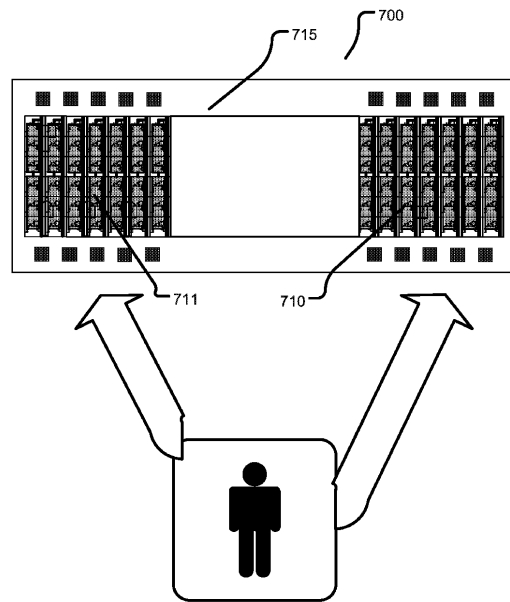
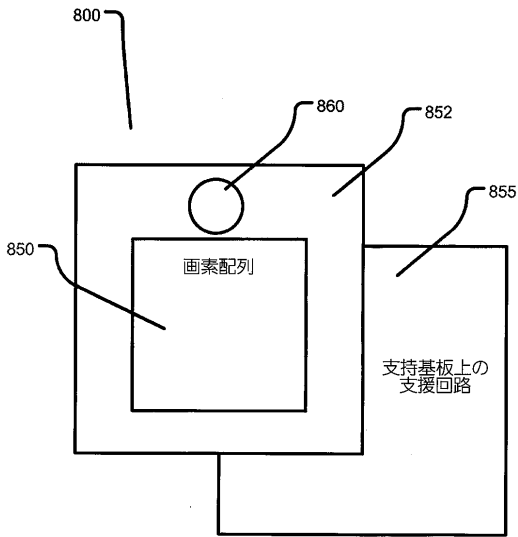


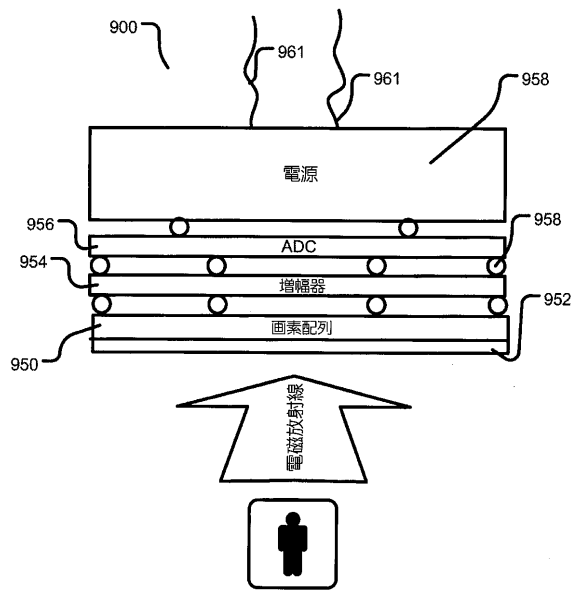
FIG. 7

FIG. 6

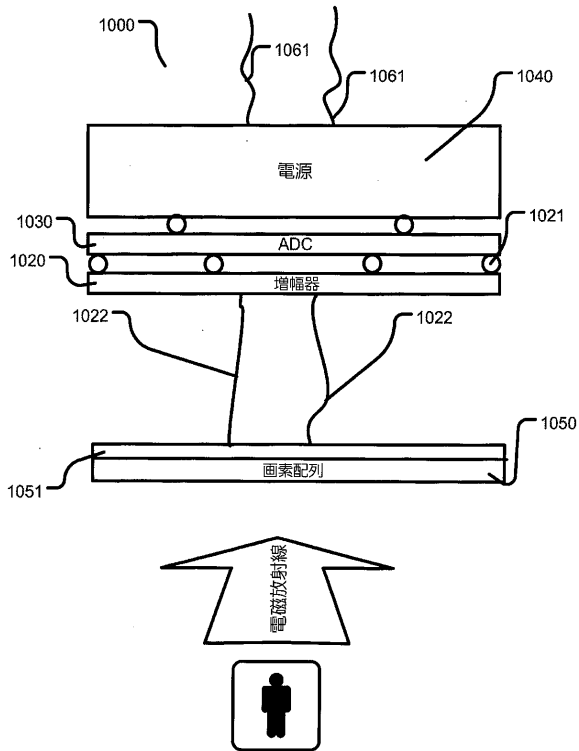
【 図 8 】



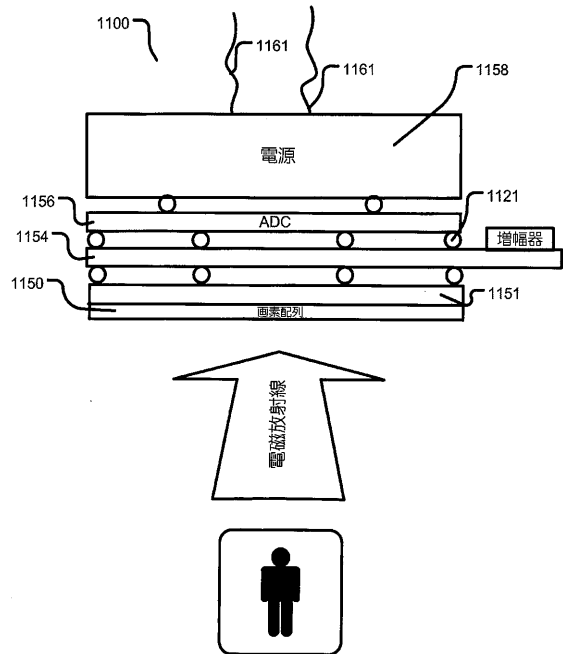
【 図 9 】



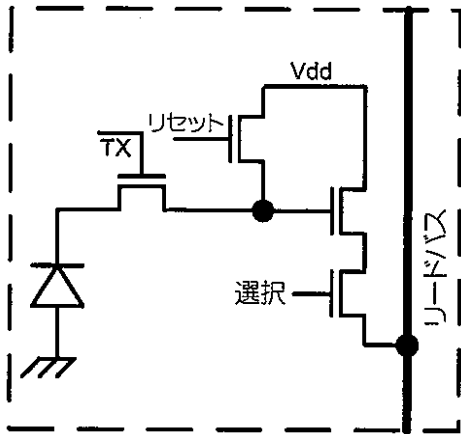
【 図 10 】



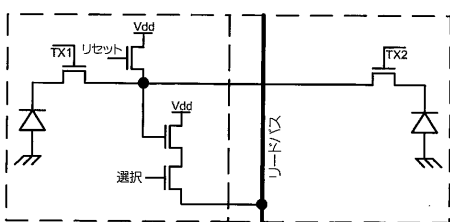
【 図 11 】



【図 1 2】

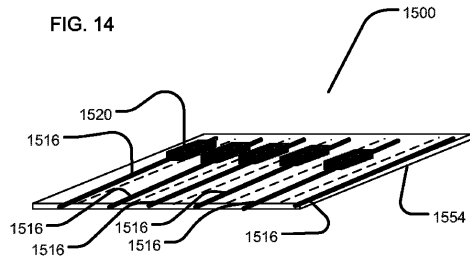


【図 1 3】



【図 1 4】

FIG. 14



【図 1 5】

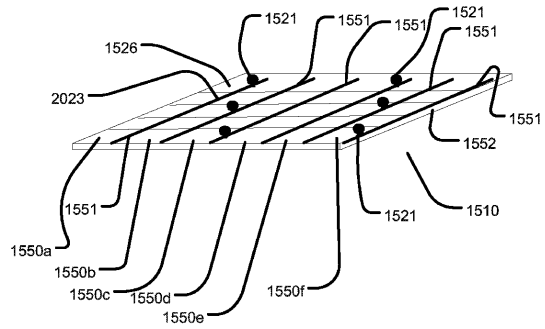


FIG. 15

【図 1 6】

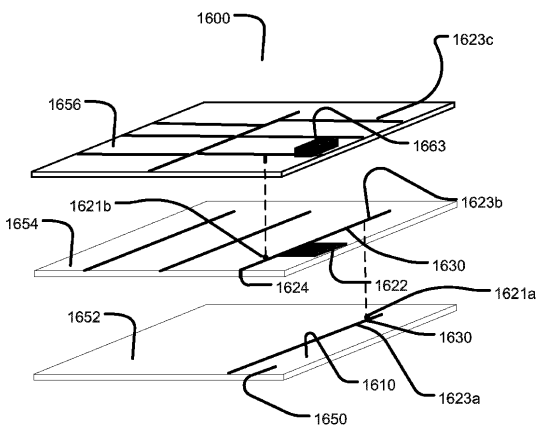


FIG. 16

【図 1 7 a】

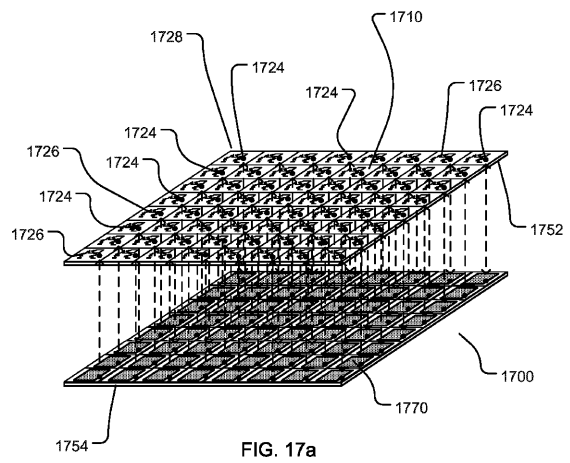


FIG. 17a

【 図 17 b 】

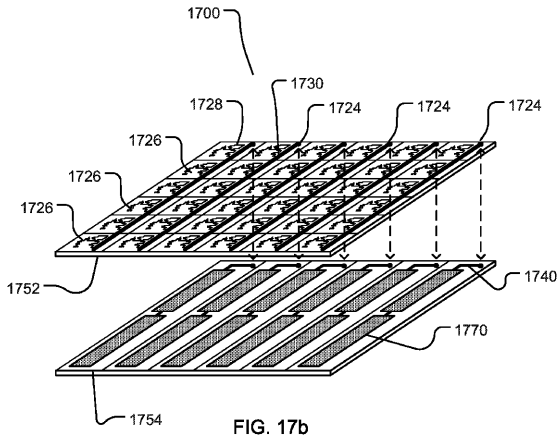


FIG. 17b

【 図 17 c 】

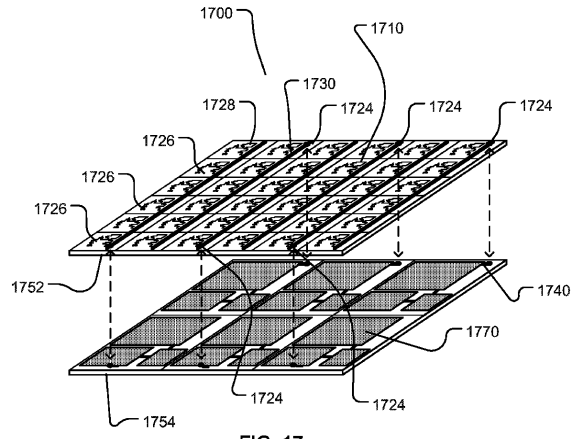


FIG. 17c

【 図 18 a 】

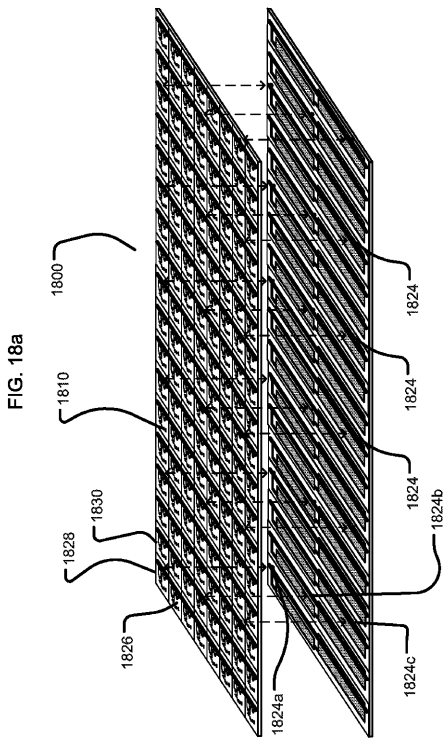


FIG. 18a

【 図 20 】

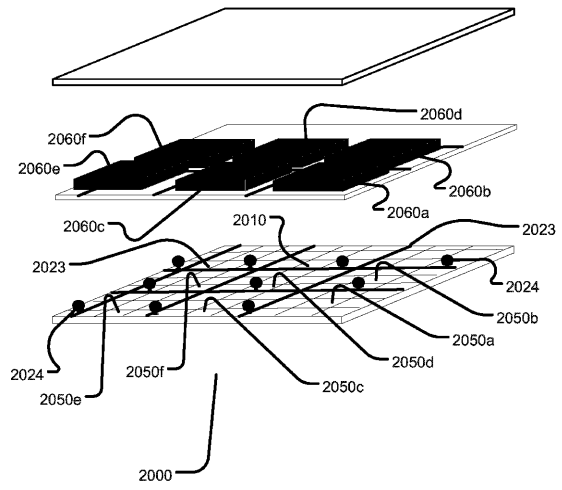


FIG. 20

【 図 2 1 】

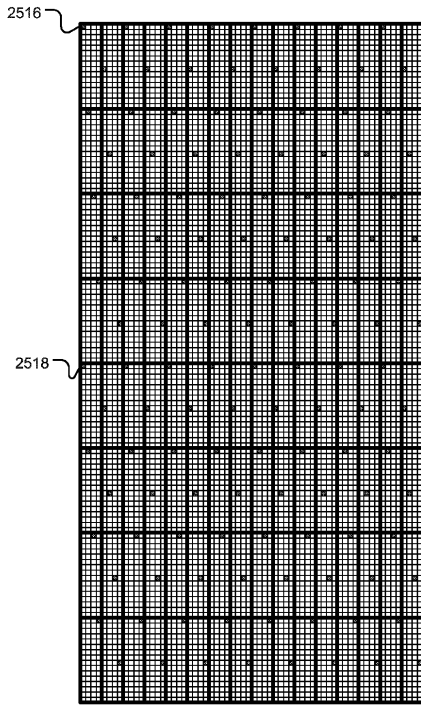


FIG. 21

【 図 2 2 】

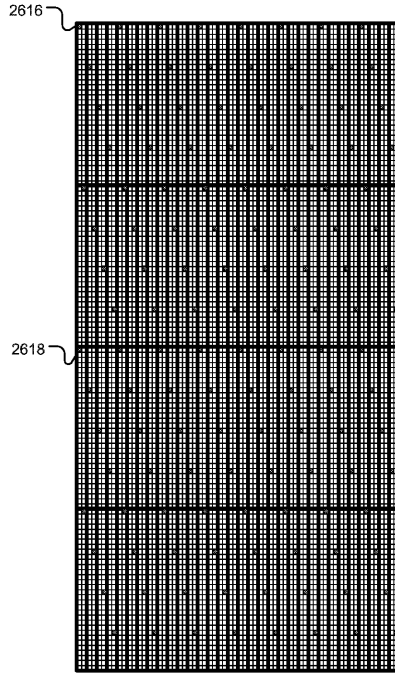


FIG. 22

【 図 2 3 】

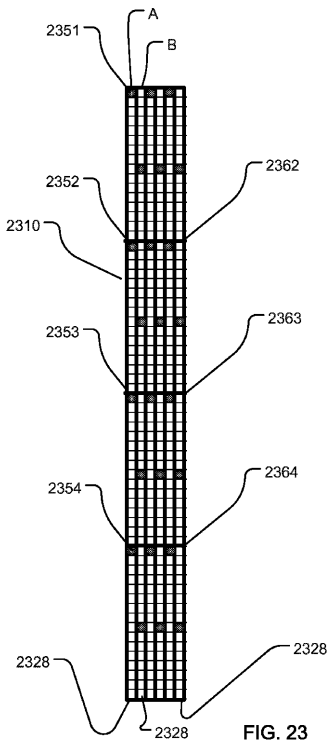


FIG. 23

【 図 2 4 】

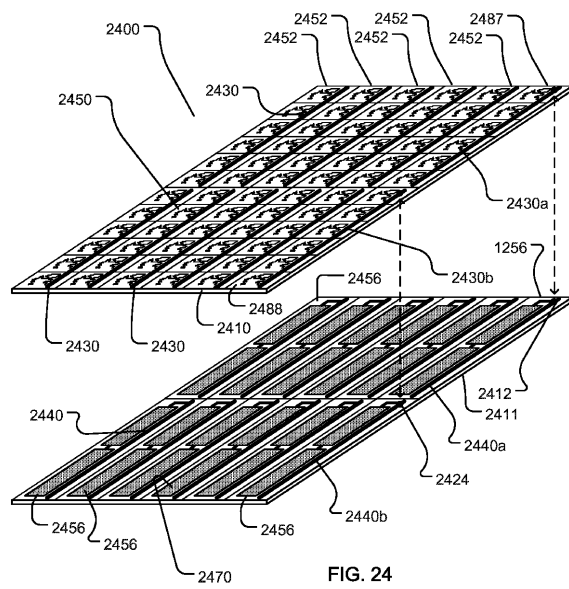


FIG. 24

【 図 2 4 a 】

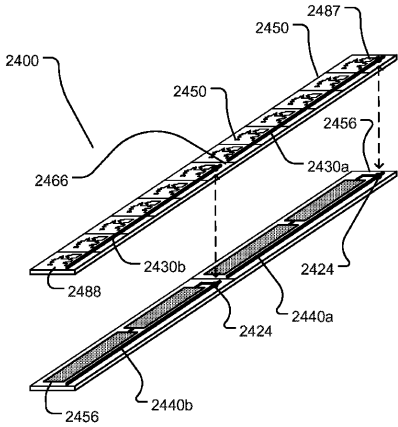


FIG. 24a

【 図 2 4 b 】

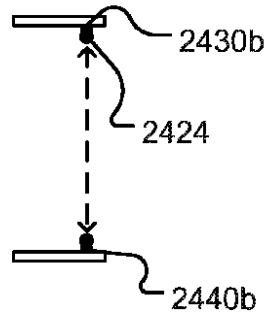


FIG. 24b

【 図 2 4 c 】

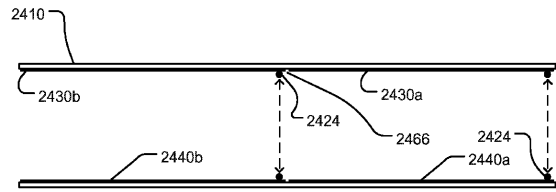


FIG. 24c

【 図 2 5 】

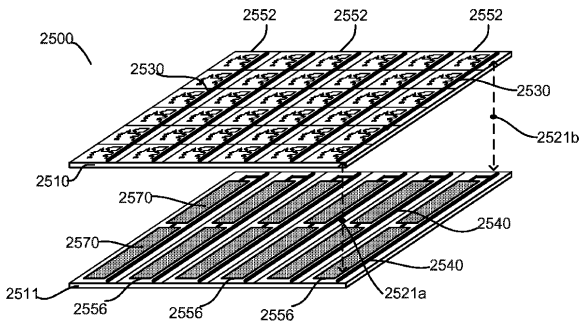


FIG. 25

【 図 2 5 a 】

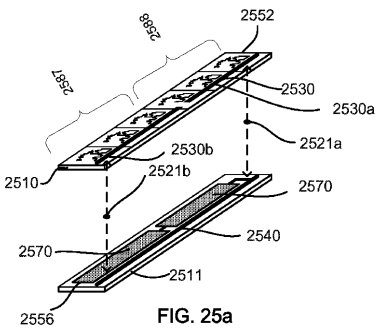


FIG. 25a

【 図 2 6 】

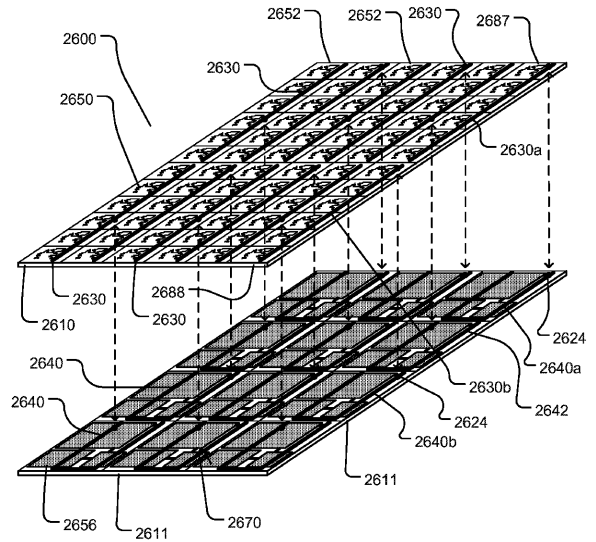
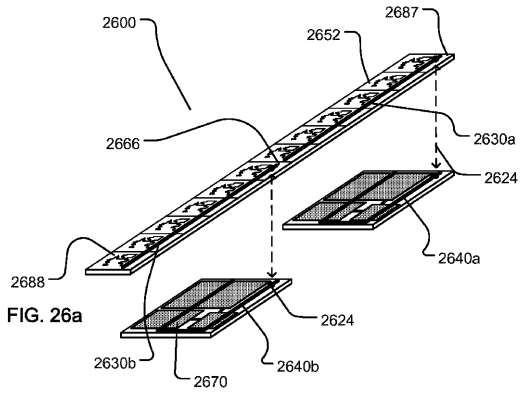
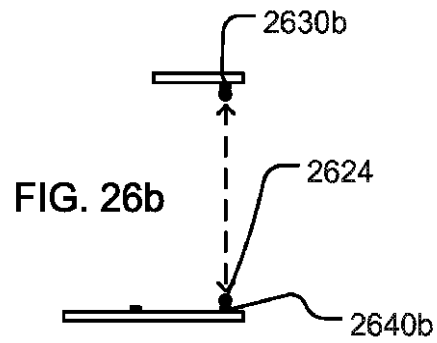


FIG. 26

【 図 2 6 a 】



【 図 2 6 b 】



【 図 2 6 c 】

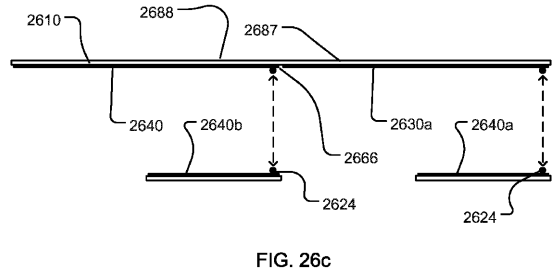


FIG. 26c

【 図 2 7 】

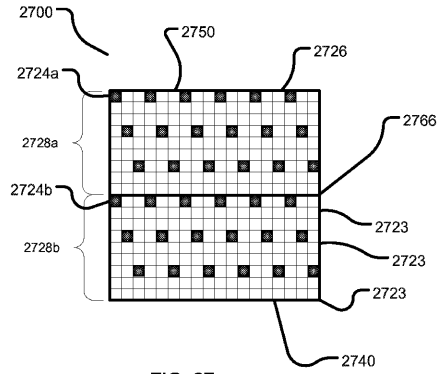


FIG. 27

【 図 2 8 】

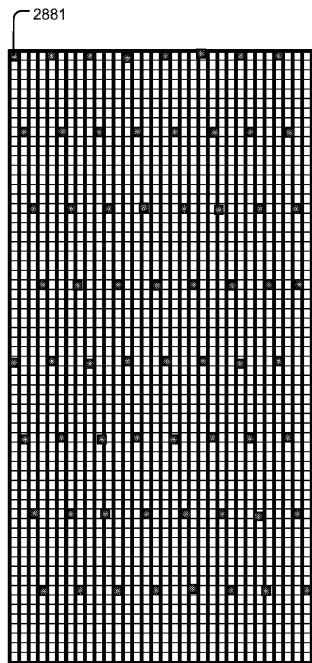


FIG. 28

【 図 2 9 】

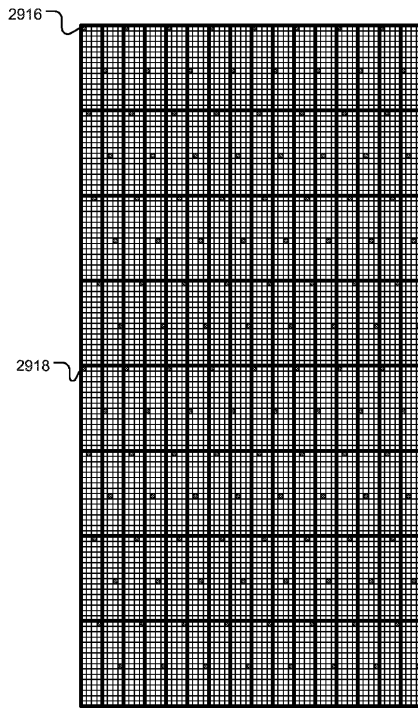


FIG. 29

【 図 3 0 】

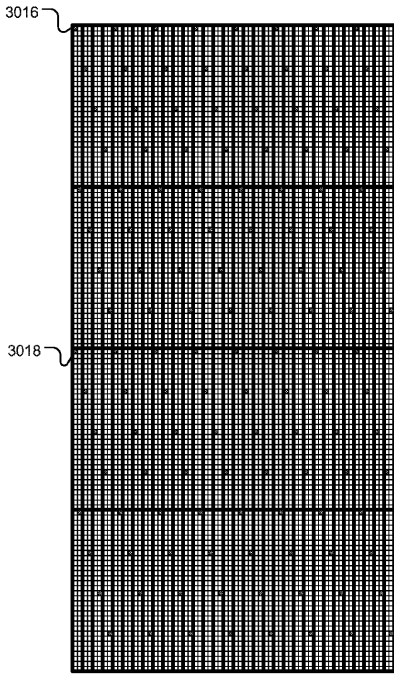


FIG. 30

【 図 3 1 】

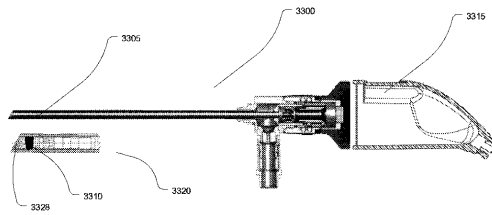


FIG. 31

【 図 3 2 a 】

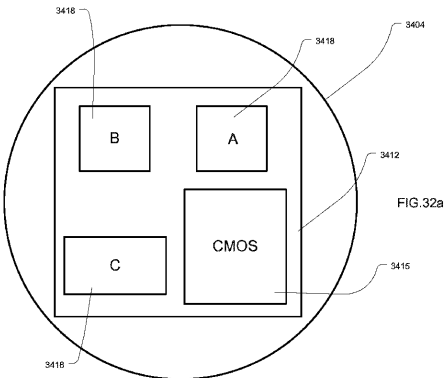


FIG. 32a

【 図 3 2 b 】

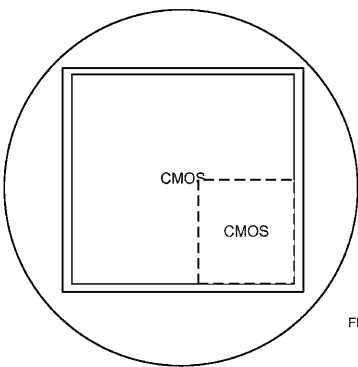


FIG. 32b

【 図 3 3 a 】

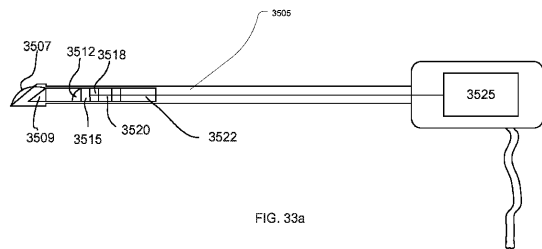


FIG. 33a

【 図 3 3 b 】

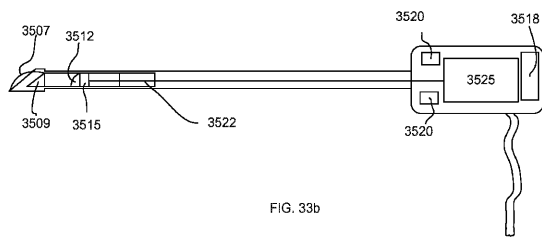


FIG. 33b

【 図 3 3 c 】

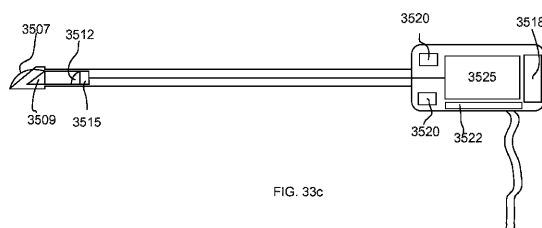


FIG. 33c

【 図 3 4 】

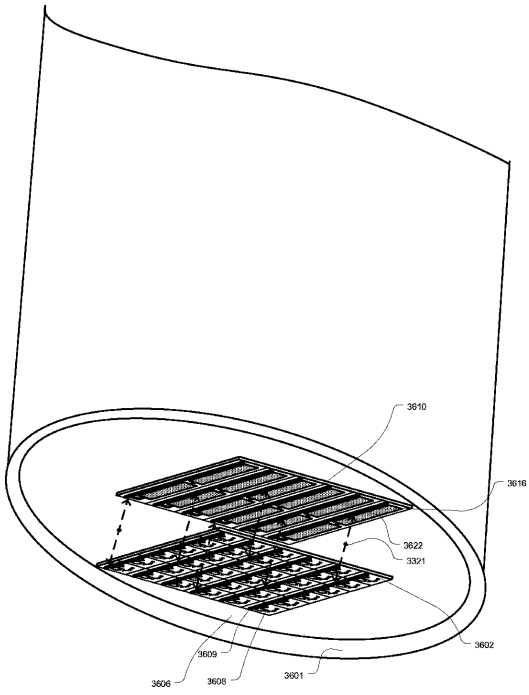
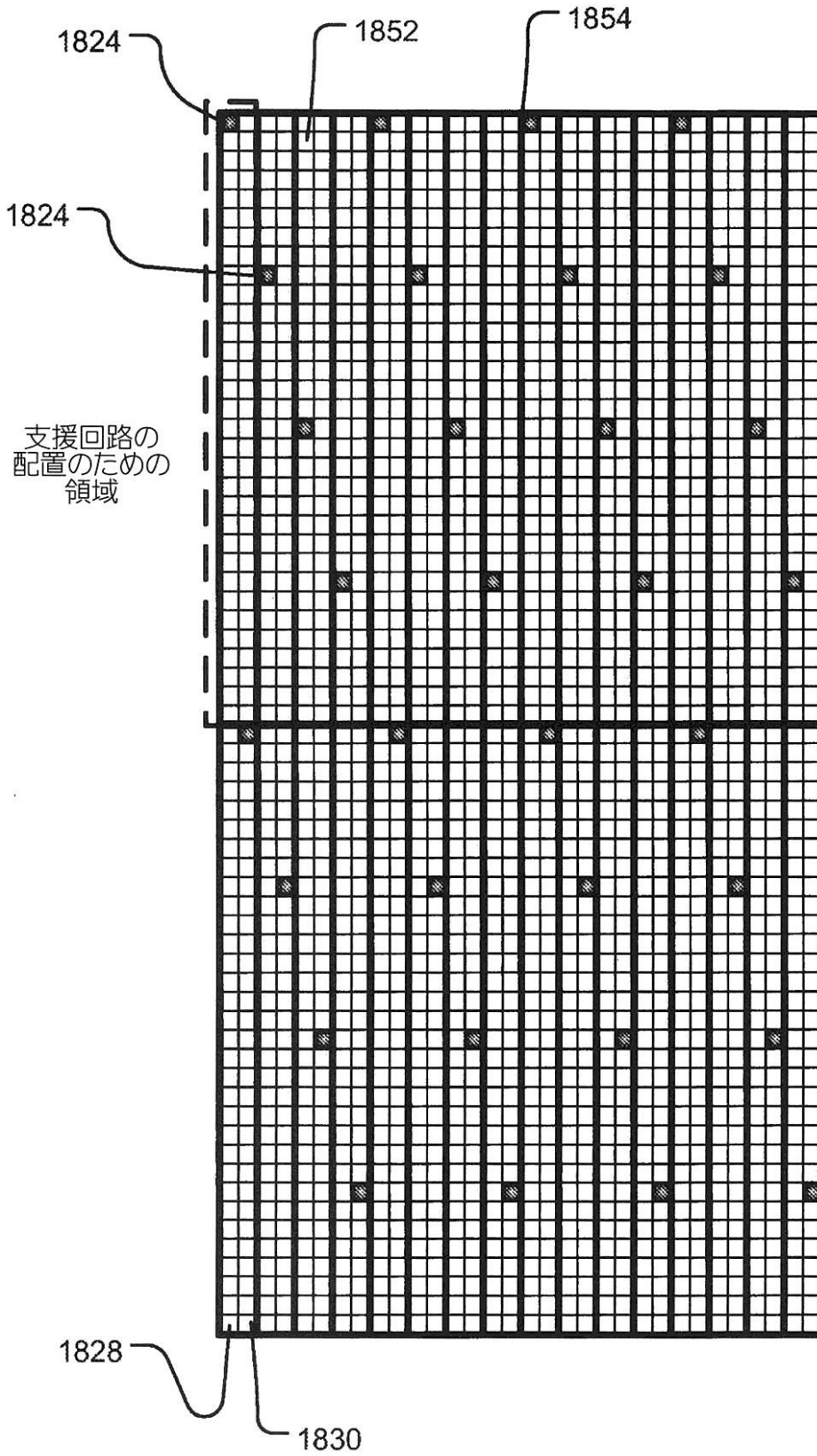


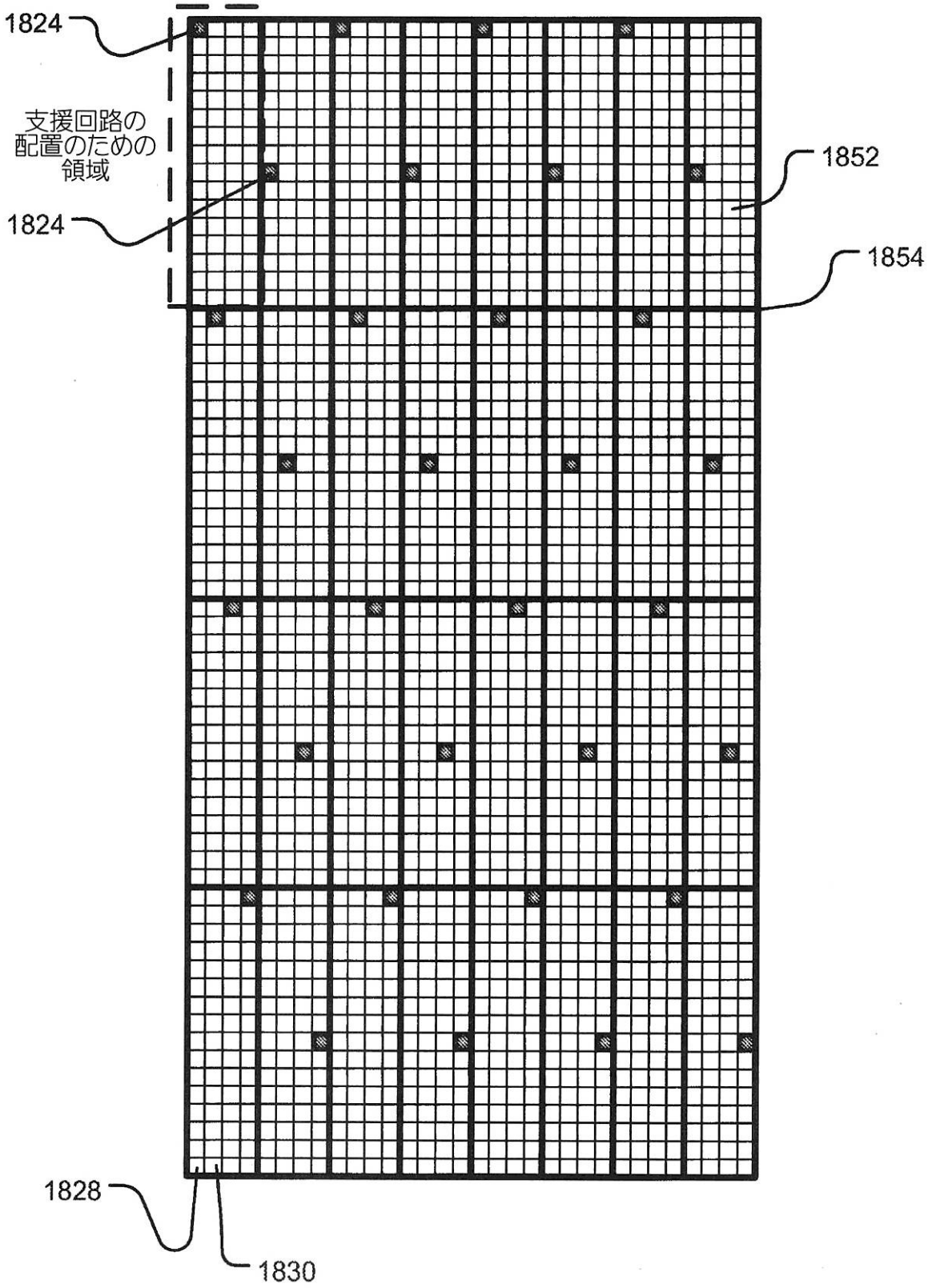
FIG. 34



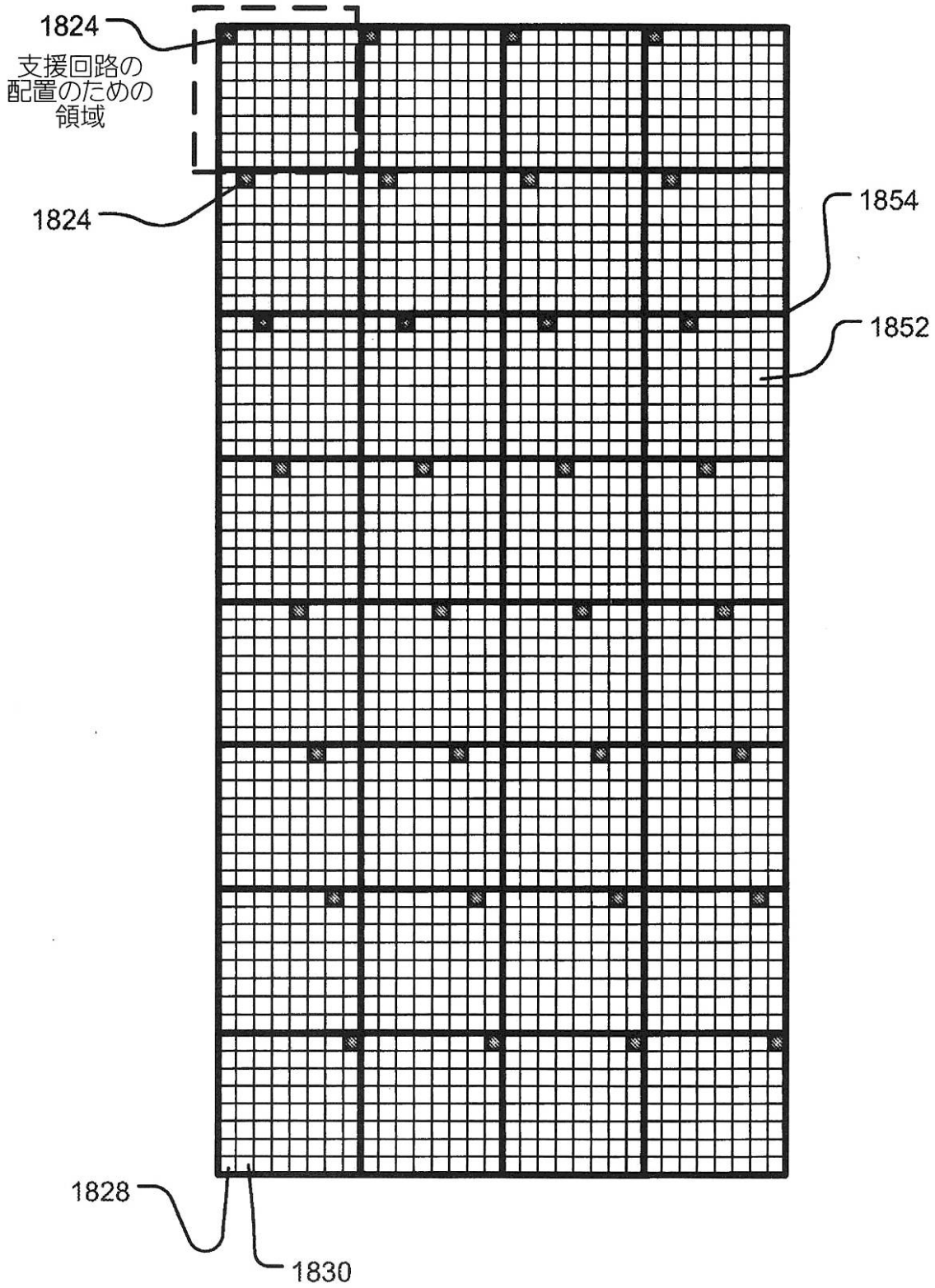
【図18c】



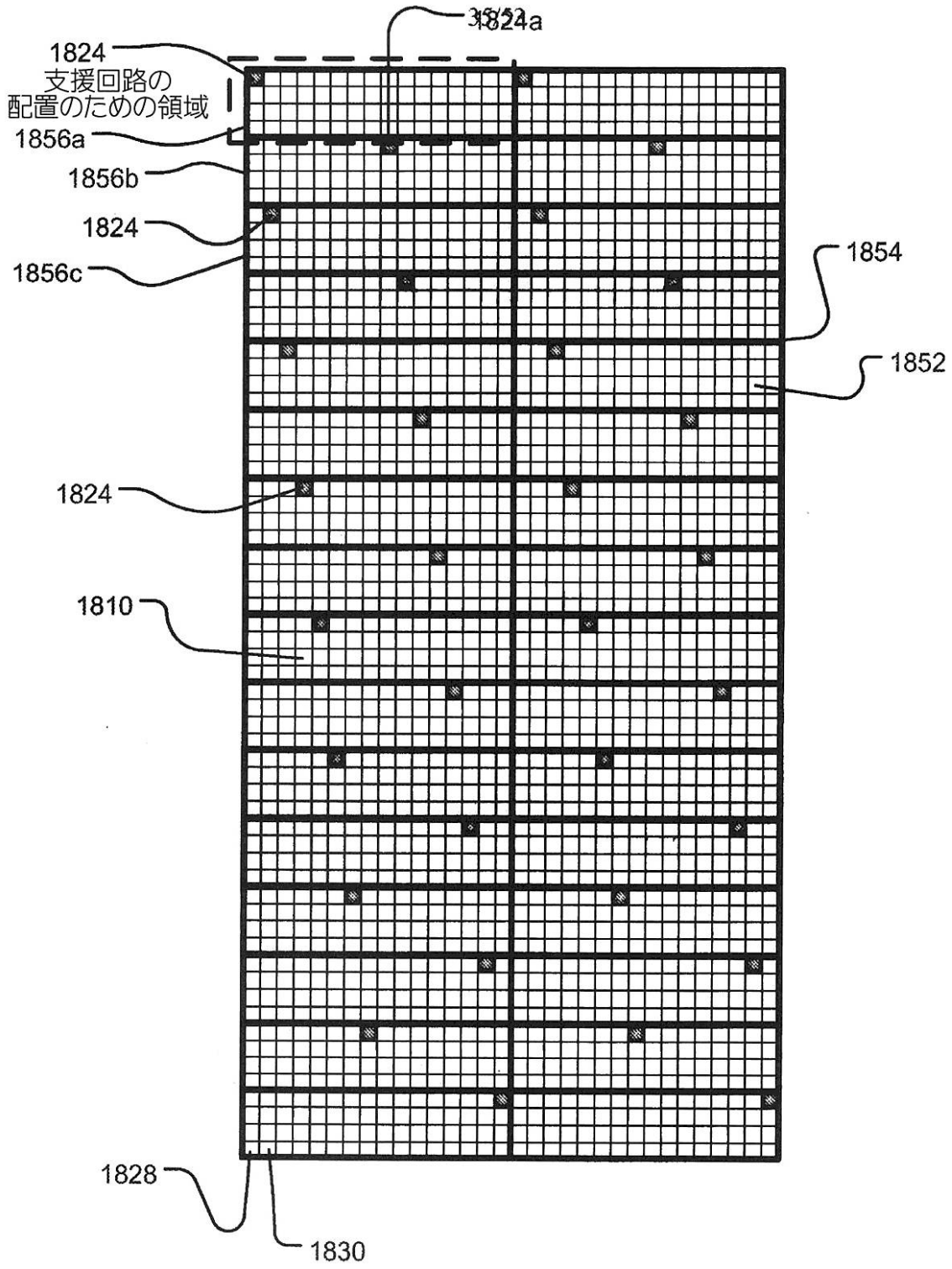
【図18d】



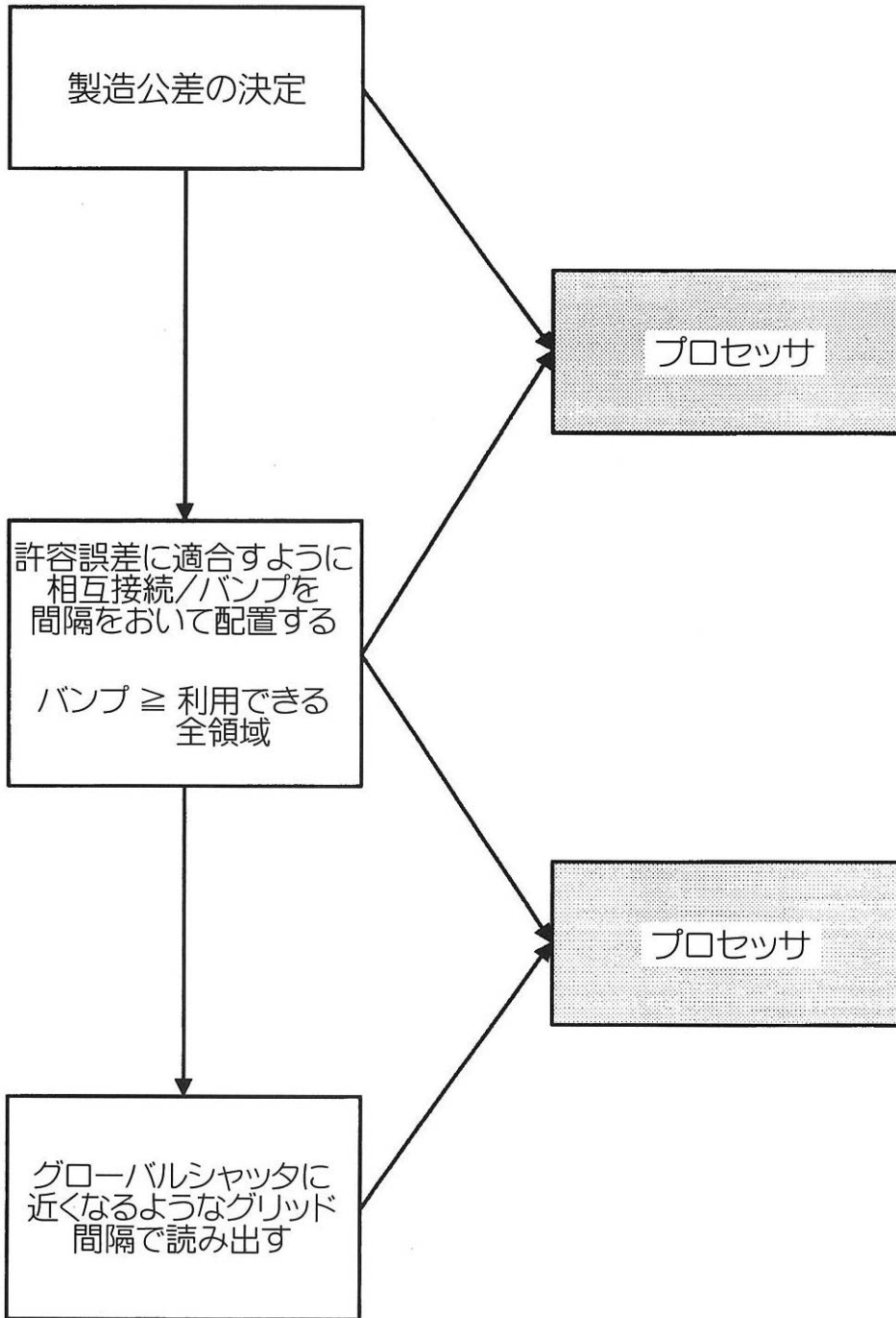
【図18e】



【図18f】



【図19】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 12/37859
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - A61B 1/04 (2012.01) USPC - 600/109 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) USPC: 600/109 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC: 600/101; 600/160 (keyword limited - see search terms below) Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST (PGPB, USPT, USOC, EPAB, JPAB); GOOGLE; Google Scholar; Thomson Innovation Terms: endoscope, borescope, image, sensor, lumen, light, source, laser, led, stack, superimpose, overlay, overlap, bus, connector, circuit, interconnector, wire, substrate, layer, read, select, pixel, row, column, vertical, width, area, size, aspect, ratio, pitch,		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010/0178722 A1 (de Graff et al.) 15 July 2010 (15.07.2010), entire document, especially abstract, Figs. 3, 8, para [0007], [0076], [0077], [0089], [0098], [0104], [0105], [0117], [0133], [0145], [0171], [0173].	1-37
Y	US 2007/0091190 A1 (Iwabuchi et al.) 26 April 2007 (26.04.2007), entire document, especially abstract, Figs. 2, 9, para [0007], [0008], [0036], [0043], [0045], [0052], [0071], [0072], [0075], [0099], [0102].	1-37
Y	US 2006/0249765 A1 (Hsieh) 09 November 2006 (09.11.2006), entire document, especially abstract, Fig. 4A, para [0005], [0006], [0062], [0065], [0118], [0124], [0125].	4, 6-8, 10-12, 15, 24-25, 29, 31-33, 35-37
A	US 2011/0049591 A1 (Nakatani et al.) 03 March 2011 (03.03.2011), entire document, especially abstract, para [0012], [0061], [0065], [0090], [0106].	1-37
A	US 2009/0256905 A1 (Tashiro) 15 October 2009 (15.10.2009), entire document, especially abstract, para [0002], [0006], [0021], [0051], [0059].	1-37
A	US 2007/0159526 A1 (Abe) 12 July 2007 (12.07.2007), entire document, especially abstract, para [0015], [0041], [0042], [0063], [0064], [0068].	1-37
A	US 7,030,904 B2 (Adair et al.) 18 April 2006 (18.04.2006), entire document.	1-37
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 August 2012 (13.08.2012)		Date of mailing of the international search report <b>24 AUG 2012</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

## フロントページの続き

(31)優先権主張番号 61/485,435

(32)優先日 平成23年5月12日(2011.5.12)

(33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA

(72)発明者 ブランカート, ロラン

アメリカ合衆国カリフォルニア州 9 1 3 6 2, ウエストレイク・ピレッジ, グレート・スモーキー・コート 2 7 7 6

(72)発明者 タルバート, ジョシュア・ディー

アメリカ合衆国ユタ州 8 4 1 2 1, コットンウッド・ハイツ, フォート・ユニオン・ブルーバード 1 7 6 3

(72)発明者 ヘンリー, ジェレマイア・ディー

アメリカ合衆国ユタ州 8 4 1 2 1, コットンウッド・ハイツ, フォート・ユニオン・ブルーバード 1 7 6 3

(72)発明者 ウィチャーン, ドナルド・エム

アメリカ合衆国ユタ州 8 4 4 0 5, サウス・オグデン, イースト 1 1 0 0・サウス 5 5 9 1

Fターム(参考) 2H040 GA02

4C161 CC06 JJ06 JJ11 LL01 NN01 PP01

4M118 AA01 AB01 BA14 CA24 FA06 GA02 HA22 HA25 HA31

5C024 AX01 BX02 GX24 GY01 GY31 HX01

专利名称(译)	改进的内窥镜图像传感器		
公开(公告)号	<a href="#">JP2014515955A</a>	公开(公告)日	2014-07-07
申请号	JP2014510550	申请日	2012-05-14
申请(专利权)人(译)	橄榄医疗公司		
[标]发明人	ブランカートロラン タルバートジョシュアディー ヘンリージェレマイアディー ウィチャーンドナルドエム		
发明人	ブランカート,ロラン タルバート,ジョシュア・ディー ヘンリー,ジェレマイア・ディー ウィチャー,ドナルド・エム		
IPC分类号	A61B1/04 G02B23/24 H04N5/369 H01L27/146 H01L27/14		
CPC分类号	H01L27/14603 H01L27/14609 H01L27/14618 H01L27/14634 H01L27/14636 H01L27/14638 H01L27/1464 H01L27/14641 H01L27/14643 H01L27/14689 H01L27/1469 H01L2924/0002 H04N5/379 A61B1/00009 A61B1/051 A61B1/0676 H01L24/17 H01L25/0657 H01L27/124 H01L27/146 H01L27/14601 H01L31/028 H01L31/0296 H01L31/0304 H01L2924/381 H04N5/2256 H04N5/3742 H04N5/37455 H04N5/37457 H04N5/378 H04N2005/2255 H01L2924/00		
FI分类号	A61B1/04.370 G02B23/24.B H04N5/335.690 H01L27/14.A H01L27/14.D		
F-TERM分类号	2H040/GA02 4C161/CC06 4C161/JJ06 4C161/JJ11 4C161/LL01 4C161/NN01 4C161/PP01 4M118/AA01 4M118/AB01 4M118/BA14 4M118/CA24 4M118/FA06 4M118/GA02 4M118/HA22 4M118/HA25 4M118/HA31 5C024/AX01 5C024/BX02 5C024/GX24 5C024/GY01 5C024/GY31 5C024/HX01		
代理人(译)	小林 泰 竹内茂雄 山本修 中村省吾		
优先权	61/485440 2011-05-12 US 61/485432 2011-05-12 US 61/485426 2011-05-12 US 61/485435 2011-05-12 US		
其他公开文献	JP6083051B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

具有混合成像传感器的实施例的内窥镜，其使用相对于相关电路的布局的堆叠方案来优化基板上的像素阵列的面积，其中与堆叠基板相关联的特征之间具有最小的垂直互连公开了一种装置。公开了最大化像素阵列尺寸/管芯尺寸（区域优化）的实施例，以提供改进的图像质量，改进的功能，以及用于数字成像工业常见的特定应用的改进形式。还公开了一种提供因子的优化成像传感器。上述实施例可以包括用于使用垂直互连在行或子行混合图像传感器中交替放置ADC或行电路凸块的系统，方法和过程，以及披露。

